

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 4 月 4 日 (04.04.2002)

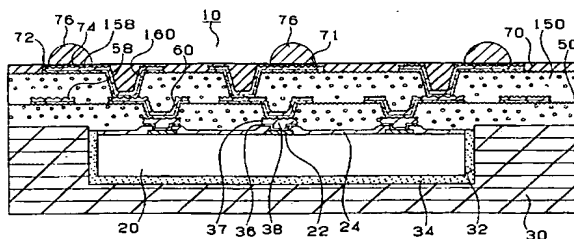
PCT

(10) 国際公開番号
WO 02/27786 A1

- (51) 国際特許分類⁷: H01L 23/12, 21/60, H05K 3/46 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 坂本 一
(21) 国際出願番号: PCT/JP01/03589 (SAKAMOTO, Hajime) [JP/JP]. 王 東冬 (WANG, Dongdong) [NZ/JP]; 〒501-0695 岐阜県揖斐郡揖斐川町北方1丁目1番地 イビデン株式会社 大垣北工場内 Gifu (JP).
(22) 国際出願日: 2001 年 4 月 25 日 (25.04.2001)
(25) 国際出願の言語: 日本語 (74) 代理人: 弁理士 田下明人, 外 (TASHITA, Akihito et al.); 〒460-0013 愛知県名古屋市中区上り津2丁目1番27号 堀井ビル3階 Aichi (JP).
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2000-290231 2000 年 9 月 25 日 (25.09.2000) JP (81) 指定国 (国内): CN, KR, US.
特願2000-290232 2000 年 9 月 25 日 (25.09.2000) JP (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
特願 2000-382806 2000 年 12 月 15 日 (15.12.2000) JP
特願 2000-382807 2000 年 12 月 15 日 (15.12.2000) JP 添付公開書類:
— 国際調査報告書
特願 2000-382813 2000 年 12 月 15 日 (15.12.2000) JP
特願 2000-382814 2000 年 12 月 15 日 (15.12.2000) JP 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。
(71) 出願人 (米国を除く全ての指定国について): イビデン株式会社 (IBIDEN CO., LTD.) [JP/JP]; 〒503-0917 岐阜県大垣市神田町2丁目1番地 Gifu (JP).

(54) Title: SEMICONDUCTOR ELEMENT, METHOD OF MANUFACTURING SEMICONDUCTOR ELEMENT, MULTI-LAYER PRINTED CIRCUIT BOARD, AND METHOD OF MANUFACTURING MULTI-LAYER PRINTED CIRCUIT BOARD

(54) 発明の名称: 半導体素子、半導体素子の製造方法、多層プリント配線板及び多層プリント配線板の製造方法



(57) Abstract: A semiconductor element, wherein copper transition layers (38) disposed on die pads (22) of an IC chip (20) are incorporated in a multi-layer printed circuit board (10), whereby the IC chip (20) can be connected electrically to the multi-layer printed circuit board (10) without using lead parts and sealing resin, the resin is prevented from remaining on an aluminum pad (24) by providing the copper transition layers (38) on the aluminum pad (24), and the connectability between the die pads (22) and via holes (60) and the reliability thereof can be increased.

[続葉有]

WO 02/27786 A1



(57) 要約:

ICチップ20のダイパッド22にトランジション層38を配設させ、多層プリント配線板10に内蔵させてある。このため、リード部品や封止樹脂を用いず、ICチップ20と多層プリント配線板10との電氣的接続を取ることができる。また、アルミパッド24上に銅製のトランジション層38を設けることで、パッド24上の樹脂残りを防ぐことができ、ダイパッド24とバイアホール60との接続性や信頼性を向上させる。

- 1 -

明 細 書

半導体素子、半導体素子の製造方法、多層プリント配線板及び多層プリント配線板の製造方法

5

技術分野

この発明は、ＩＣチップなどの半導体素子、及び、半導体素子の製造方法、更に、半導体素子を内蔵する多層プリント配線板、及び、多層プリント配線板の製造方法に関するものである。

10

背景技術

ＩＣチップは、ワイヤーボンディング、ＴＡＢ、フリップチップなどの実装方法によって、プリント配線板との電氣的接続を取っていた。

15

ワイヤーボンディングは、プリント配線板にＩＣチップを接着剤によりダイボンディングさせて、該プリント配線板のパッドとＩＣチップのパッドとを金線などのワイヤーで接続させた後、ＩＣチップ並びにワイヤーを守るために熱硬化性樹脂あるいは熱可塑性樹脂などの封止樹脂を施していた。

20

ＴＡＢは、ＩＣチップのバンプとプリント配線板のパッドとをリードと呼ばれる線を半田などによって一括して接続させた後、樹脂による封止を行っていた。

フリップチップは、ＩＣチップとプリント配線板のパッド部とをバンプを介して接続させて、バンプとの隙間に樹脂を充填させることによって行っていた。

25

しかしながら、それぞれの実装方法は、ＩＣチップとプリント配線板の間に接続用のリード部品（ワイヤー、リード、バンプ）を介して電氣的接続を行っている。それらの各リード部品は、切断、腐食し易く、これにより、ＩＣチップとの接続が途絶えたり、誤作動の原因となることがあった。

30

また、それぞれの実装方法は、ＩＣチップを保護するためにエポキシ樹脂等の熱可塑性樹脂によって封止を行っているが、その樹脂を充填する際に気泡を含有すると、気泡が起点となって、リード部品の破壊やＩＣパッドの腐食、信頼性の低下を招いてしまう。熱可塑性樹脂による封止は、それぞれの部品に合

- 2 -

わせて樹脂装填用プランジャー、金型を作成する必要があり、また、熱硬化性樹脂であってもリード部品、ソルダーレジストなどの材質などを考慮した樹脂を選定しなくてはならないために、それぞれにおいてコスト的にも高くなる原因にもなった。

5 一方、上述したようにICチップをプリント配線板（パッケージ基板）の外
部に取り付けるのではなく、基板に半導体素子を埋め込んで、その上層に、ビル
ドアップ層を形成させることにより電氣的接続を取る従来技術として、特開
平9-321408号（USP5875100）、特開平10-256429
号、特開平11-126978号などが提案されている。

10 特開平9-321408号（USP5875100）には、ダイパッド上に、
スタッドバンプを形成した半導体素子をプリント配線板に埋め込んで、スタッ
ドバンプ上に配線を形成して電氣的接続を取っていた。しかしながら、該スタ
ッドバンプはタマネギ状であり高さのバラツキが大きいために、層間絶縁層を
形成させると、平滑性が低下し、バイアホールを形成させても未接続になりや
15 すい。また、スタッドバンプをボンディングにより一つ一つ植設しており、一
括して配設することができず、生産性という点でも難点があった。

特開平10-256429号には、セラミック基板に半導体素子を收容し、
フリップチップ形態によって電氣的接続されている構造が示されている。しか
しながら、セラミックは外形加工性が悪く、半導体素子の納まりがよくない。
20 また、該バンプでは、高さのバラツキも大きくなった。そのために、層間絶縁
層の平滑性が損なわれ、接続が低下してしまう。

特開平11-126978号には、空隙の收容部に半導体素子などの電子部
品埋め込んで、導体回路と接続して、バイアホールを介して積載している多層
プリント配線板が示されている。しかしながら、收容部が空隙であるために、
25 位置ずれを引き起こしやすく、半導体素子のパッドとの未接続が起き易い。ま
た、ダイパッドと導体回路とを直接接続させているので、ダイパッドに酸化被
膜ができやすく、絶縁抵抗が上昇してしまう問題がある。

本発明は上述した課題を解決するためになされたものであり、その目的とす
るところは、リード部品を介さないで、プリント配線板と直接電氣的接続し得
30 る半導体素子の製造方法を提案することを目的とする。

- 3 -

また更に、半導体素子を樹脂製のプリント配線板に埋め込むと、半導体素子に発生する熱により、プリント配線板に反りが発生し、内部配線に断線が生じ、信頼性が低下するという問題がある。

5 本発明は上述した課題を解決するためになされたものであり、その目的とするところは、信頼性の高い半導体素子を内蔵する多層プリント配線板及び該多層プリント配線板の製造方法を提案することを目的とする。

更に、信頼性の高い半導体素子内蔵のプリント配線板を効率的に製造することができなかった。

10 本発明は上述した課題を解決するためになされたものであり、その目的とするところは、信頼性の高い半導体素子を内蔵する多層プリント配線板を効率的に製造し得る製造方法を提案することを目的とする。

また、半導体素子を埋め込み、収容、収納された基板で構成された多層プリント配線板をパッケージ基板、チップセットなどとして用いる場合には、外部基板（いわゆるマザーボード、ドータボードと呼ばれるもの）と電気接続させることによって、機能を発揮することができる。そのため、該多層プリント配線板には、BGAや導電性接続ピン（PGA）を配設することが必要となる。このBGA、PGAは、多層プリント配線板の表層のソルダーレジスト層に、半田パッドを配設することで形成される。

20 しかしながら、半導体素子を埋め込んだ基板で表層に半田バンプを配設して、外部基板と電氣的に接続させて機能試験や信頼性試験を行うと、層間絶縁層、ソルダーレジスト層、層間樹脂絶縁層やソルダーレジスト、半田バンプおよび半田バンプの周囲（半田層や耐食金属などを意図する）にクラック、剥離が発生して、半田バンプの脱落や位置ずれが確認された。特に、層間絶縁層を貫通して、半導体素子のパッドにクラックが発生しているものも確認された。したがって、半導体素子を内蔵する多層プリント配線板においては、半田バンプと導体回路との電氣的接続性や信頼性の低下が明らかになった。

30 本発明は上述した課題を解決するためになされたものであり、その目的とするところは、電氣的接続性や信頼性の高い多層プリント配線板、特に、半導体素子が内蔵された多層プリント配線板を提案することを目的とする。

発明の開示

本発明者は鋭意研究した結果、半導体素子のダイパッド上に、トランジション層を形成させることを創出した。そのトランジション層を有する半導体素子は、プリント配線板に、埋め込み、収納、収容させても、その上に、層間絶縁層を施して、バイアホールを形成させても所望の大きさや形状のものが得られる。

ICチップのダイパッドにトランジション層を設ける理由を説明する。ICチップのダイパッドは一般的にアルミニウムなどで製造されている。トランジション層を形成させていないダイパッドのままで、フォトリソングにより層間絶縁層のバイアホールを形成させた時、ダイパッドのままであれば露光、現像後にパッドの表層に樹脂が残りやすかった。それに、現像液の付着によりパッドの変色を引き起こした。一方、レーザによりバイアホールを形成させた場合にもアルミニウムのパッドを焼損する危険がある。また、焼損しない条件で行うと、パッド上に樹脂残りが発生した。また、後工程に、酸や酸化剤あるいはエッチング液に浸漬させたり、種々のアニール工程を経ると、ICチップのパッドの変色、溶解が発生した。更に、ICチップのパッドは、40 μ m程度の径で作られており、バイアホールはそれより大きく、位置公差も必要となるため、位置ずれなどが起き、未接続など発生しやすい。

これに対して、ダイパッド上に銅等からなるトランジション層を設けることで、バイアホール形成の不具合が解消されて、溶剤の使用が可能となりパッド上の樹脂残りを防ぐことができる。また、後工程の際に酸や酸化剤あるいはエッチング液に浸漬させたり、種々のアニール工程を経てもパッドの変色、溶解が発生しない。これにより、パッドとバイアホールとの接続性や信頼性を向上させる。更に、ICチップのダイパッドよりも大きな径のトランジション層を介在させることで、バイアホールを確実に接続させることができる。望ましいのは、トランジション層は、バイアホール径、位置公差と同等以上のものがよい。

さらに、トランジション層が形成されているので、半導体素子であるICチップをプリント配線板に埋め込む、収容、収納する前、もしくはその後にでも半導体素子の動作や電気検査を容易に行なえるようになった。それは、ダイパ

- 5 -

ッドよりも大きいトランジション層が形成されているので、検査用プローブピンが接触し易くなったからである。それにより、予め製品の可否が判定することができ、生産性やコスト面でも向上させることができる。また、プローブによるパッドの損失や傷などが発生しない。

- 5 故に、トランジションを形成することによって、半導体素子である I C チップをプリント配線に埋め込み、收容、収納することが好適に行える。つまり、トランジション層を有する半導体素子は、プリント配線板の埋め込み、收容、収納するため半導体素子であるともいえる。

- 10 該トランジション層は、ダイパッド上に、薄膜層を形成し、その上に厚付け層を形成して成る。少なくとも 2 層以上で形成することができる。

- それぞれに多層プリント配線板だけで機能を果たしてもいるが、場合によっては半導体装置としてのパッケージ基板としての機能させるために外部基板であるマザーボードやドーターボードとの接続のため、BGA、半田バンプやPGA（導電性接続ピン）を配設させてもよい。また、この構成は、従来の実装方法で接続した場合よりも配線長を短くできて、ループインダクタンスも低減できる。

本願発明で定義されているトランジション層について説明する。

- トランジション層は、従来技術の I C チップ実装技術を用いることなく、半導体素子である I C チップとプリント配線板とを直接に接続を取るため、設けられた中間の仲介層を意味する。その特徴として、2 層以上の金属層で形成されている。もしくは、半導体素子である I C チップのダイパッドよりも大きくさせることである。それによって、電氣的接続や位置合わせ性を向上させるものであり、かつ、ダイパッドにダメージを与えることなくレーザやフォトリソによるバイアホール加工を可能にするものである。そのため、I C チップのプリント配線板への埋め込み、收容、収納や接続を確実にすることができる。また、トランジション層上には、直接、プリント配線板の導体層である金属を形成することを可能にする。その導体層の一例としては、層間樹脂絶縁層のバイアホールや基板上のスルーホールなどがある。

- 30 本願発明に用いられる I C チップなどの電子部品を内蔵させる樹脂製基板としては、エポキシ樹脂、BT 樹脂、フェノール樹脂などにガラスエポキシ樹脂

などの補強材や心材を含浸させた樹脂、エポキシ樹脂を含浸させたプリプレグを積層させたものなどが用いられるが、一般的にプリント配線板で使用されるものを用いることができる。それ以外にも両面銅張積層板、片面板、金属膜を有しない樹脂板、樹脂フィルムを用いることができる。ただし、350℃以上の温度を加えると樹脂は、溶解、炭化をしてしまう。

ICチップの全面に蒸着、スパッタリングなどの物理的な蒸着を行い、全面に導電性の金属膜を形成させる。その金属としては、スズ、クロム、チタン、ニッケル、亜鉛、コバルト、金、銅などの金属を1層以上形成させるものがよい。厚みとしては、0.001～2.0μmの間で形成させるのがよい。特に、0.01～1.0μmが望ましい。

該金属膜の上に、更に無電解めっき等により金属膜を設けることもできる。上側の金属膜は、ニッケル、銅、金、銀などの金属を1層以上形成させるものがよい。厚みは、0.01～5.0μmがよく、特に、0.1～3.0μmが望ましい。

その金属膜上に、無電解あるいは電解めっきにより、厚付けさせる。形成されるメッキの種類としてはニッケル、銅、金、銀、亜鉛、鉄などがある。電気特性、経済性、また、後程で形成されるビルドアップである導体層は主に銅であることから、銅を用いることがよい。その厚みは1～20μmの範囲で行うのがよい。それより厚くなると、エッチングの際にアンダーカットが起こってしまい、形成されるトランジション層とバイアホールと界面に隙間が発生することがある。その後、エッチングレジストを形成して、露光、現像してトランジション層以外の部分の金属を露出させてエッチングを行い、ICチップのパッド上にトランジション層を形成させる。

また、上記トランジション層の製造方法以外にも、ICチップ及びコア基板の上に形成した金属膜上にドライフィルムレジストを形成してトランジション層に該当する部分を除去させて、電解めっきによって厚付けした後、レジストを剥離してエッチング液によって、同様にICチップのパッド上にトランジション層を形成させることもできる。

本発明者は鋭意研究した結果、プリント配線板に埋設させる半導体素子の裏面にヒートシンクを取り付けることで、半導体素子に発生する熱を逃がし、プ

- 7 -

プリント配線板に反り、断線を発生させることが無くなり、信頼性が得られることが分かった。ここで、半導体素子上に樹脂でビルドアップ配線を形成することで、半導体素子とプリント配線板との接続を適正に取ることができる。

5 なお、ヒートシンクと半導体素子とは、導電性接着剤を介して接続することが好適である。導電性接着剤は、熱伝導性が高く、半導体素子に発生する熱をヒートシンク側へ効率的に逃がすことができるからである。

10 また、本発明では、ICチップを収容する通孔を有するプリプレグを積層して上下から加圧する。プリプレグからエポキシ樹脂がしみ出し、ICチップの上面を覆う。これにより、ICチップと、プリプレグを硬化してなるコア基板との上面が完全に平坦になる。このため、ビルドアップ層を形成する際に、バイアホール及び配線を適正に形成することができ、多層プリント配線板の配線の信頼性を高めることができる。

15 本発明では、半導体素子を備える多層プリント配線板を多数個取り用に製造し、個片に裁断して個々の多層プリント配線板を得る。このため、信頼性の高い多層プリント配線板を効率的に製造することができる。

20 また、本発明では、ICチップを収容する通孔を有するプリプレグを積層して上下から加圧する。プリプレグからエポキシ樹脂がしみ出し、ICチップの上面を覆う。これにより、ICチップと、プリプレグなどの樹脂を硬化してなるコア基板との上面が完全に平坦になる。このため、ビルドアップ層を形成する際に、バイアホール及び配線を適正に形成することができ、多層プリント配線板の配線の信頼性を高めることができる。

25 更に、本発明の好適な態様においては、プリント配線板に埋設させる半導体素子の裏面にヒートシンクを取り付ける。これにより、半導体素子に発生する熱を逃がし、プリント配線板に反り、断線を発生させることを無し、信頼性を高める。

請求項35の多層プリント配線板の製造方法で、少なくとも以下の(a)～(f)の工程を有することを技術的特徴とする：

(a) コア基板に形成した通孔の底部にシートを張る工程；

30 (b) 前記通孔の底部の前記シートに、端子が前記シートに接するように半導体素子を載置する工程；

- 8 -

- (c) 前記通孔内に樹脂を充填する工程；
- (d) 前記樹脂を加圧及び硬化する工程；
- (e) 前記シートを剥離する工程；
- (f) 前記半導体素子の上面にビルドアップ層を形成する工程。

- 5 請求項 3 5 の発明では、コア基板の通孔の底部のシートに、端子がシートに接するように半導体素子を載置し、該通孔内に樹脂を充填してから、シートを剥がし、ビルドアップ層を形成する。即ち、半導体素子を端子がシートに接するように載置して、該シートを剥がしてから、半導体素子にビルドアップ層を形成するので、端子とビルドアップ層の配線とを適切に電気接続させることができ、信頼性の高い半導体素子内蔵多層プリント配線板を製造することが可能となる。

請求項 3 6 の多層プリント配線板の製造方法は、少なくとも以下の (a) ～ (i) の工程を有することを技術的特徴とする：

- (a) コア基板に形成した通孔の底部にシートを張る工程；
- 15 (b) 前記通孔の底部の前記シートに、端子が前記シートに接するように半導体素子を載置する工程；
- (c) 前記通孔内に樹脂を充填する工程；
- (d) 前記樹脂を加圧及び仮硬化する工程；
- (e) 前記シートを剥離する工程；
- 20 (f) 前記コア基板の底部側を研磨し、前記半導体素子の底部を露出させる工程；
- (g) 前記樹脂を本硬化する工程；
- (h) 前記半導体素子の底部に放熱板を取り付ける工程；
- (i) 前記半導体素子の上面にビルドアップ層を形成する工程。

- 25 請求項 3 6 の発明では、コア基板の通孔の底部のシートに、端子がシートに接するように半導体素子を載置し、該通孔内に樹脂を充填してから、シートを剥がし、ビルドアップ層を形成する。即ち、半導体素子を端子がシートに接するように載置して、該シートを剥がしてから、半導体素子にビルドアップ層を形成するので、端子とビルドアップ層の配線とを適切に電気接続させることができ、信頼性の高い半導体素子内蔵多層プリント配線板を製造することが可能
- 30

となる。

また、コア基板の底部側を研磨し、半導体素子の底部を露出させるため、半導体素子の底部に放熱板を取り付けることが可能になり、半導体素子の動作の安定性を向上させることができる。

- 5 コア基板の通孔を塞ぐシートとして、UV照射により粘着力が低下するUVテープを用いることが好適である。UV照射により、半導体素子の端子に接着剤が残ることなく剥がれるため、端子とビルドアップ層の配線とを適切に電気接続させることができ、信頼性の高い半導体素子内蔵多層プリント配線板を製造することが可能となる。

- 10 また、樹脂の加圧を減圧下で行うことが好適である。減圧することで、コア基板と樹脂との間、及び、樹脂中に気泡が残ることがなくなり、多層プリント配線板の信頼性を高めることができる。

- 15 コア基板に形成した通孔にテープを設けることも好適である。これにより、コア基板の通孔と樹脂との間に気泡や溝が残ることがなくなり、多層プリント配線板の信頼性を高めることができる。また、コア基板の平坦性を確保できる。

請求項41に記載の多層プリント配線板では、半導体素子が埋め込み、收容又は収納された基板上に層間絶縁層と導体層とが繰り返し形成され、前記層間絶縁層には、バイアホールが形成され、前記バイアホールを介して電氣的接続される多層プリント配線板において、

- 20 前記基板内の半導体素子の直上以外の領域にのみ外部接続端子（BGA／PGA）を形成したことを技術的特徴とする。

請求項41の発明では、多層プリント配線板の半導体素子が内蔵された基板上の領域と、半導体素子が内蔵されていない基板上の領域とを区別する。そして、半導体素子が内蔵されていない基板上の領域に外部接続端子（BGA／P

- 25 GA）を配設する。

上述した外部接続端子（BGA／PGA）の周囲などに発生した剥離、クラックは、半導体素子、外部基板、層間絶縁層および溶剤レジスト層の熱膨張係数の差から生じている。即ち、セラミックから成る半導体素子および外部基板は、熱膨張係数が小さく、熱膨張による伸びは小さい。一方、樹脂から成

- 30 る層間絶縁層および溶剤レジスト層は、半導体素子および外部基板と比較

して熱膨張係数が大きいため、熱膨張による伸びは大きい。この熱膨張係数の差によって、外部接続端子（BGA／PGA）の周囲などに応力が集中して剥離、クラックが発生する。

5 つまり、半導体素子の内蔵されていない基板上の領域に外部接続端子（BGA／PGA）を配設することによって、熱膨張による影響を小さくできるため、外部接続端子（BGA／PGA）の周囲などに発生する剥離、クラックを防止できる。したがって、外部接続端子（BGA／PGA）の脱落や位置ずれを防止して、電気的接続性や信頼性を向上させることが可能となる。

10 ここで、外部接続端子とは、ICチップを実装した基板において、外部基板、いわゆるマザーボード、ドータボードとの接続を取るための端子を意味する。懸案の端子とは、BGA、PGA及び半田バンプを言う。

請求項42の発明では、請求項41に記載の多層プリント配線板において、前記半導体素子のパッド部分には、最下層の前記層間絶縁層に形成された前記バイアホールと接続するためのトランジション層を形成したことを技術的特徴とする。

15 請求項42の発明では、半導体素子のパッドを覆うようにしてトランジション層を形成させている。ダイパッド上に銅等からなるトランジション層を設けることで、溶剤の使用が可能となりダイパッド上の樹脂残りを防ぐことができる。また、後工程の際に酸や酸化剤あるいはエッチング液に浸漬させたり、種々のアニール工程を経てもダイパッドの変色、溶解が発生しない。ダイパッドの酸化皮膜の形成を防げる。これにより、ダイパッドとバイアホールとの接続性や信頼性を向上させる。更に、ICチップのダイパッド上に20 μ mよりも大きな径のトランジション層を介在させることで、バイアホールを確実に接続させることができる。望ましいのは、トランジション層は、バイアホール径と同等以上のものがよい。

請求項43の発明では、請求項41に記載の多層プリント配線板において、半導体素子を埋め込み、收容又は収納する前記基板の凹部または通孔と、前記半導体素子との間に、樹脂充填材料を充填したことを技術的特徴とする。

30 請求項43の発明では、基板の凹部または通孔と、半導体素子との間に、樹脂充填材料を充填することにより、基板と半導体素子との接着性を向上させる。

また、この樹脂充填材料は、熱膨張によって発生した応力を緩和するため、コア基板のクラック、層間樹脂絶縁層及びソルダーレジスト層のうねりを防止することが可能となる。このため、半田バンプの周囲などに発生する剥離、クラックを防止できる。したがって、半田バンプの脱落や位置ずれを防止できるため、電気的接続性や信頼性を向上させることが可能となる。樹脂充填材料は、熱硬化性樹脂、熱可塑性樹脂、もしくはそれらの複合体を用いることができる。

図面の簡単な説明

第1図(A)、(B)、(C)は、本発明の第1実施例に係る半導体素子の製造工程図である。

第2図(A)、(B)、(C)は、第1実施例に係る半導体素子の製造工程図である。

第3図(A)、(B)は、第1実施例に係る半導体素子の製造工程図である。

第4図(A)は、第1実施例に係るシリコンウエハー20Aの平面図であり、(B)は、個片化された半導体素子の平面図である。

第5図(A)、(B)、(C)は、第1実施例の第1改変例に係る半導体素子の製造工程図である。

第6図(A)、(B)、(C)は、第1実施例の第1改変例に係る半導体素子の製造工程図である。

第7図(A)、(B)は、第1実施例の第1改変例に係る半導体素子の製造工程図である。

第8図(A)、(B)、(C)、(D)は、第1実施例の第2改変例に係る半導体素子の製造工程図である。

第9図(A)、(B)、(C)、(D)は、第1実施例の第1改変例に係る半導体素子の製造工程図である。

第10図(A)、(B)、(C)、(D)は、第1実施例に係る多層プリント配線板の製造工程図である。

第11図(A)、(B)、(C)は、第1実施例に係る多層プリント配線板の製造工程図である。

第12図(A)、(B)、(C)は、第1実施例に係る多層プリント配線板の製造工程図である。

第13図(A)、(B)、(C)は、第1実施例に係る多層プリント配線板の製造工程図である。

5 第14図は、第1実施例に係る多層プリント配線板の断面図である。

第15図(A)、(B)、(C)、(D)は、第1実施例の第1改変例に係る多層プリント配線板の製造工程図である。

第16図は、第1実施例の第1改変例に係る多層プリント配線板の断面図である。

10 第17図は、第1実施例、第1改変例の半導体素子を評価した結果を示す図表である。

第18図は、第2改変例、第3改変例の半導体素子を比較例と評価した結果を示す図表である。

15 第19図(A)、(B)、(C)は、本発明の第2実施例に係る多層プリント配線板の製造工程図である。

第20図(A)、(B)、(C)は、第2実施例に係る多層プリント配線板の製造工程図である。

第21図(A)、(B)、(C)は、第2実施例に係る多層プリント配線板の製造工程図である。

20 第22図(A)、(B)、(C)は、第2実施例に係る多層プリント配線板の製造工程図である。

第23図(A)、(B)、(C)は、第2実施例に係る多層プリント配線板の製造工程図である。

第24図は、第2実施例に係る多層プリント配線板の断面図である。

25 第25図は、(A)、(B)、(C)、(D)は、第2実施例の第1改変例に係る多層プリント配線板の製造工程図である。

第26図は、第2実施例の第1改変例に係る多層プリント配線板の断面図である。

30 第27図(A)、(B)、(C)は、第2実施例の第2改変例に係る多層プリント配線板の製造工程図である。

第28図(A)、(B)、(C)は、本発明の第3実施例に係る多層プリント配線板の製造工程図である。

第29図(A)、(B)、(C)は、第3実施例に係る多層プリント配線板の製造工程図である。

5 第30図(A)、(B)、(C)は、第3実施例に係る多層プリント配線板の製造工程図である。

第31図(A)、(B)、(C)は、第3実施例に係る多層プリント配線板の製造工程図である。

10 第32図(A)、(B)、(C)は、第3実施例に係る多層プリント配線板の製造工程図である。

第33図は、第3実施例に係る多層プリント配線板の断面図である。

第34図(A)、(B)、(C)、(D)は、第3実施例の第1別例に係る多層プリント配線板の製造工程図である。

15 第35図は、第3実施例の第1別例に係る多層プリント配線板の断面図である。

第36図(A)、(B)、(C)は、第3実施例の第1改変例に係る多層プリント配線板の製造工程図である。

第37図(A)、(B)、(C)は、第3実施例の第1改変例に係る多層プリント配線板の製造工程図である。

20 第38図(A)、(B)、(C)は、第3実施例の第1改変例に係る多層プリント配線板の製造工程図である。

第39図(A)、(B)、(C)は、第3実施例の第1改変例に係る多層プリント配線板の製造工程図である。

25 第40図は、(A)、(B)、(C)は、第3実施例の第1改変例に係る多層プリント配線板の製造工程図である。

第41図は、第3実施例の第1改変例に係る多層プリント配線板の断面図である。

第42図(A)、(B)、(C)、(D)は、第1改変例の第1別例に係る多層プリント配線板の製造工程図である。

30 第43図は、第1改変例の第1別例に係る多層プリント配線板の断面図で

ある。

第44図(A)、(B)、(C)は、第3実施例の第1改変例の第2別例に係る多層プリント配線板の製造工程図である。

5 第45図(A)、(B)、(C)、(D)、(E)は、第3実施例の第2改変例に係る多層プリント配線板の製造工程図である。

第46図(A)、(B)、(C)、(D)は、第3実施例の第2改変例に係る多層プリント配線板の製造工程図である。

第47図(A)、(B)、(C)は、第3実施例の第2改変例に係る多層プリント配線板の製造工程図である。

10 第48図(A)、(B)、(C)は、第3実施例の第2改変例に係る多層プリント配線板の製造工程図である。

第49図(A)、(B)、(C)は、第3実施例の第2改変例に係る多層プリント配線板の製造工程図である。

15 第50図は、第3実施例の第2改変例に係る多層プリント配線板の断面図である。

第51図(A)、(B)、(C)、(D)は、第3実施例の第2改変例の第1別例に係る多層プリント配線板の製造工程図である。

第52図は、第2改変例の第1別例に係る多層プリント配線板の断面図である。

20 第53図(A)、(B)、(C)、(D)、(E)は、本発明の第4実施例に係る多層プリント配線板の製造工程図である。

第54図(A)、(B)、(C)、(D)、(E)は、第4実施例に係る多層プリント配線板の製造工程図である。

25 第55図(A)、(B)、(C)、(D)は、第4実施例に係る多層プリント配線板の製造工程図である。

第56図(A)、(B)、(C)は、第4実施例に係る多層プリント配線板の製造工程図である。

第57図は、第4実施例に係る多層プリント配線板の断面図である。

30 第58図は、(A)、(B)、(C)、(D)は、本発明の第5実施例に係る多層プリント配線板の製造工程図である。

第59図は、(A)、(B)、(C)は、第5実施例に係る多層プリント配線板の製造工程図である。

第60図は、(A)、(B)、(C)は、第5実施例に係る多層プリント配線板の製造工程図である。

5 第61図は、(A)、(B)、(C)は、第5実施例に係る多層プリント配線板の製造工程図である。

第62図は、(A)、(B)は、第5実施例に係る多層プリント配線板の製造工程図である。

第63図は、第5実施例に係る多層プリント配線板の断面図である。

10 第64図は、第5実施例に係る多層プリント配線板の断面図である。

第65図は、第63図のE-E断面図である。

第66図(A)は、第5実施例に係る多層プリント配線板の平面図であり、(B)は、バンプが千鳥状に配置された多層プリント配線板の平面図であり、(C)は、比較例に係る多層プリント配線板の平面図である。

15 第67図(A)、(B)、(C)は、第5実施例の別例に係る多層プリント配線板の製造工程図である。

第68図(A)、(B)、(C)は、本発明の第1改変例に係る多層プリント配線板の製造工程図である。

20 第69図(A)、(B)、(C)は、第1改変例に係る多層プリント配線板の製造工程図である。

第70図(A)、(B)、(C)は、第1改変例に係る多層プリント配線板の製造工程図である。

発明を実施するための最良の形態

25 以下、本発明の実施例について図を参照して説明する。

A. 半導体素子

先ず、本発明の第1実施例に係る半導体素子(ICチップ)の構成について、半導体素子20の断面を示す第3図(A)、及び、平面図を示す第4図(B)を参照して説明する。

30 [第1実施例]

第3図(B)に示すように半導体素子20の上面には、ダイパッド22及び配線(図示せず)が配設されており、該ダイパッド22及び配線の上に、保護膜24が被覆され、該ダイパッド22には、保護膜24の開口が形成されている。ダイパッド22の上には、主として銅からなるトランジション層38が形成されている。トランジション層38は、薄膜層33と厚付け層37とからなる。言い換えると、2層以上の金属膜で形成されている。

引き続き、第3図(B)を参照して上述した半導体素子の製造方法について、第1図～第4図を参照して説明する。

(1) 先ず、第1図(A)に示すシリコンウエハー20Aに、定法により配線21及びダイパッド22を形成する(第1図(B)及び第1図(B)の平面図を示す第4図(A)参照、なお、第1図(B)は、第4図(A)のB-B断面を表している)。

(2) 次に、ダイパッド22及び配線21の上に、保護膜24を形成し、ダイパッド22上に開口24aを設ける(第1図(C))。

(3) シリコンウエハー20Aに蒸着、スパッタリングなどの物理的な蒸着を行い、全面に導電性の金属膜(薄膜層)33を形成させる(第2図(A))。その厚みは、0.001～2.0 μ mの範囲で形成させるのがよい。その範囲よりも下の場合、全面に薄膜層を形成することができない。その範囲よりも上の場合、形成される膜に厚みのバラツキが生じてしまう。最適な範囲は0.01～1.0 μ mである。形成する金属としては、スズ、クロム、チタン、ニッケル、亜鉛、コバルト、金、銅の中から、選ばれるものを用いることがよい。それらの金属は、ダイパッドの保護膜となり、かつ、電気特性を劣化させることがない。第1実施例では、薄膜層33は、スパッタによってクロムで形成されている。クロムは、金属との密着性がよく、湿分の侵入を抑えることができる。また、クロム層の上に銅をスパッタで施してもよい。クロム、銅の2層を真空チャンバー内で連続して形成することもできる。このとき、クロム0.05～0.1 μ m、銅0.5 μ m程度の厚みである。

(4) その後、液状レジスト、感光性レジスト、ドライフィルムのいずれかのレジスト層を薄膜層33上に形成させる。トランジション層38を形成する部分が描画されたマスク(図示せず)を該レジスト層上に、載置して、露光、現

- 17 -

像を経て、レジスト 35 に非形成部 35 a を形成させる。電解メッキを施してレジスト層の非形成部 35 a に厚付け層（電解めっき膜）37 を設ける（第 2 図（B））。形成されるメッキの種類としては銅、ニッケル、金、銀、亜鉛、鉄などがある。電気特性、経済性、また、後程で形成されるビルドアップである

5 導体層は主に銅であることから、銅を用いるとよく、第 1 実施例では、銅を用いる。その厚みは 1 ~ 20 μ m の範囲で行うのがよい。

（5）メッキレジスト 35 をアルカリ溶液等で除去した後、メッキレジスト 35 下の金属膜 33 を硫酸-過酸化水素水、塩化第二鉄、塩化第二銅、第二銅錯体-有機酸塩等のエッチング液によって除去することで、IC チップのパッド

10 22 上にトランジション層 38 を形成する（第 2 図（C））。

（6）次に、基板にエッチング液をスプレーで吹きつけ、トランジション層 38 の表面をエッチングすることにより粗化面 38 α を形成する（第 3 図（A））。無電解めっきや酸化還元処理を用いて粗化面を形成することもできる。

（7）最後に、トランジション層 38 が形成されたシリコンウエハー 20 A を、

15 ダイシングなどによって個片に分割して半導体素子 20 を形成する（第 3 図（B）及び第 3 図（B）の平面図である第 4 図（B））。その後、必要に応じて、分割された半導体素子 20 の動作確認や電気検査を行なってもよい。半導体素子 20 は、ダイパッド 22 よりも大きなトランジション層 38 が形成されているので、プローブピンが当てやすく、検査の精度が高くなっている。

20 [第 1 実施例の第 1 別例]

上述した第 1 実施例では、薄膜層 33 がクロムにより形成された。これに対して、第 1 別例では、薄膜層 33 をチタンにより形成する。チタンは蒸着カスパッタによって施される。チタンは、金属との密着性がよく、湿分の侵入を抑えることができる。

25 [第 1 実施例の第 2 別例]

上述した第 1 実施例では、薄膜層 33 がクロムにより形成された。これに対して、第 2 別例では、薄膜層をスズにより形成する。クロムは、金属との密着性がよく、湿分の侵入を抑えることができる。

[第 1 実施例の第 3 別例]

30 上述した第 1 実施例では、薄膜層 33 がクロムにより形成された。これに対

して、第3別例では、薄膜層を亜鉛により形成する。

[第1実施例の第4別例]

上述した第1実施例では、薄膜層33がクロムにより形成された。これに対して、第4別例では、薄膜層をニッケルにより形成する。ニッケルはスパッタ
5 により形成する。ニッケルは、金属との密着性がよく、湿分の侵入を抑えることができる。

[第1実施例の第5別例]

上述した第1実施例では、薄膜層33がクロムにより形成された。これに対して、第5別例では、薄膜層をコバルトにより形成する。

10 なお、各別例において、薄膜層の上に、更に銅を積層してもよい。

[第1実施例の第1改変例]

第1実施例の第1改変例に係る半導体素子20について、第7図(B)を参照して説明する。第3図(B)を参照して上述した第1実施例に係る半導体素子では、トランジション層38が、薄膜層33と厚付け層37とからなる2層
15 構造であった。これに対して、第1改変例では、第7図(B)に示すように、トランジション層38が、第1薄膜層33と、第2薄膜層36と、厚付け層37とからなる3層構造として構成されている。

引き続き、第7図(B)を参照して上述した第1改変例に係る半導体素子の製造方法について、第5図～第7図を参照して説明する。

20 (1) 先ず、第5図(A)に示すシリコンウエハー20Aに、配線21及びダイパッド22を形成する(第5図(B))。

(2) 次に、ダイパッド22及び配線の上に、保護膜24を形成する(第5図(C))。

(3) シリコンウエハー20Aに蒸着、スパッタリングなどの物理的な蒸着を行
25 い、全面に導電性の金属膜(第1薄膜層)33を形成させる(第5図(D))。その厚みは、0.001～2.0μmの範囲で形成させるのがよい。その範囲よりも下の場合は、全面に薄膜層を形成することができない。その範囲よりも上の場合は、形成される膜に厚みのバラツキが生じてしまう。最適な範囲は0.01～1.0μmである。形成する金属としては、スズ、クロム、チタン、ニ
30 ッケル、亜鉛、コバルト、金、銅の中から、選ばれるものを用いることがよい。

それらの金属は、ダイパッドの保護膜となり、かつ、電気特性を劣化させることがない。クロム、ニッケル、チタンは、金属との密着性がよく、湿分の侵入を抑えることができる。第1改変例では、第1薄膜層33は、クロムにより形成される。

- 5 (4) 第1薄膜層33の上に、スパッタ、蒸着、無電解めっきのいずれかの方法によって第2薄膜層36を積層する(第6図(A))。その場合積層できる金属は、ニッケル、銅、金、銀の中から選ばれるものがよい。特に、銅、ニッケルのいずれかで形成させることがよい。銅は、廉価であることと電気伝達性がよいからである。ニッケルは、薄膜との密着性がよく、剥離やクラックを引き起し難い。厚みは、0.01~5.0 μ mがよく、特に、0.1~3.0 μ mが望ましい。第1改変例では、第2薄膜層36を無電解銅めっきにより形成する。
- 10

なお、望ましい第1薄膜層と第2薄膜層との組み合わせは、クロム-銅、クロム-ニッケル、チタン-銅、チタン-ニッケルなどである。金属との接合性や電気伝達性という点で他の組み合わせよりも優れる。

15

- (5) その後、レジスト層を第2薄膜層36上に形成させる。マスク(図示せず)を該レジスト層上に載置して、露光、現像を経て、レジスト35に非形成部35aを形成させる。電解メッキを施してレジスト層の非形成部35aに厚付け層(電解めっき膜)37を設ける(第6図(B))。形成されるメッキの種類としては銅、ニッケル、金、銀、亜鉛、鉄などがある。電気特性、経済性、また、後程で形成されるビルドアップである導体層は主に銅であることから、銅を用いるとよく、第1改変例では、銅を用いる。厚みは1~20 μ mの範囲がよい。
- 20

- (6) メッキレジスト35をアルカリ溶液等で除去した後、メッキレジスト35下の第2薄膜層36、金属膜33を硫酸-過酸化水素水、塩化第二鉄、塩化第二銅、第二銅錯体-有機酸塩等のエッチング液によって除去することで、ICチップのパッド22上にトランジション層38を形成する(第6図(C))。
- 25

- (7) 次に、基板にエッチング液をスプレーで吹きつけ、トランジション層38の表面をエッチングすることにより粗化面38 α を形成する(第7図(A))。
- 30 無電解めっきや酸化還元処理を用いて粗化面を形成することもできる。

(8)最後に、トランジション層38が形成されたシリコンウエハー20Aを、ダイシングなどによって個片に分割して半導体素子20を形成する(第7図(B))。

[第1実施例の第1改変例の第1別例]

- 5 上述した第1改変例では、第1薄膜層33がクロムにより、第2薄膜層36が無電解めっき銅で、厚付け層37が電解銅めっきで形成された。これに対し、第1別例では、第1薄膜層33をクロムにより、第2薄膜層36をスパッタ銅で、厚付け層37を電解銅めっきで形成する。各層の厚みとして、クロム0.07 μ m、銅0.5 μ m、電解銅15 μ mである。

- 10 [第1実施例の第1改変例の第2別例]

第2別例では、第1薄膜層33をチタンにより、第2薄膜層36が無電解銅で、厚付け層37を電解銅めっきで形成する。各層の厚みとして、チタン0.07 μ m、めっき銅1.0 μ m、電解銅17 μ mである。

[第1実施例の第1改変例の第3別例]

- 15 第3別例では、第1薄膜層33をチタンにより、第2薄膜層36をスパッタ銅で、厚付け層37を電解銅めっきで形成する。各層の厚みとして、チタン0.06 μ m、銅0.5 μ m、電解銅15 μ mである。

[第1実施例の第1改変例の第4別例]

- 20 第4別例では、第1薄膜層33をクロムにより、第2薄膜層36が無電解めっきニッケルで、厚付け層37を電解銅めっきで形成する。各層の厚みとして、クロム0.07 μ m、めっき銅1.0 μ m、電解銅15 μ mである。

[第1実施例の第1改変例の第5別例]

- 25 第5別例では、第1薄膜層33をチタンにより、第2薄膜層36が無電解めっきニッケルで、厚付け層37を電解銅めっきで形成する。各層の厚みとして、チタン0.05 μ m、めっきニッケル1.2 μ m、電解銅15 μ mである。

[第1実施例の第2改変例]

- 30 第2改変例に係る半導体素子20の製造方法について第8図を参照して説明する。第2改変例の半導体素子の構成は、第3図(B)を参照して上述した第1実施例とほぼ同様である。但し、第1実施例では、セミアディテブ工程を用い、レジスト非形成部に厚付け層37を形成することでトランジション層38

を形成した。これに対して、第2改変例では、アディテブ工程を用い、厚付け層37を均一に形成した後、レジストを設け、レジスト非形成部をエッチングで除去することでトランジション層38を形成する。

この第2改変例の製造方法について第8図を参照して説明する。

- 5 (1) 第1実施例で第2図(B)を参照して上述したように、シリコンウエハー20Aに蒸着、スパッタリングなどの物理的な蒸着を行い、全面に導電性の金属膜33を形成させる(第8図(A))。その厚みは、0.001~2.0 μm の範囲がよい。その範囲よりも下の場合、全面に薄膜層を形成することができない。その範囲よりも上の場合、形成される膜に厚みのバラツキが生じてしまう。最適な範囲は0.01~1.0 μm で形成されることがよい。形成する金属としては、スズ、クロム、チタン、ニッケル、亜鉛、コバルト、金、銅の中から、選ばれるものを用いることがよい。それらの金属は、ダイパッドの保護となり、かつ、電気特性を劣化させることがない。第2改変例では、薄膜層33は、クロムをスパッタすることで形成される。クロムの厚みは0.0
- 10 5 μm である。

- (2) 電解メッキを施して薄膜層33の上に厚付け層(電解めっき膜)37を均一に設ける(第8図(B))。形成されるメッキの種類としては銅、ニッケル、金、銀、亜鉛、鉄などがある。電気特性、経済性、また、後程で形成されるビルドアップである導体層は主に銅であることから、銅を用いるとよく、第2改変例では、銅を用いる。その厚みは1.0~20 μm の範囲で行うのがよい。それより厚くなると、後述するエッチングの際にアンダーカットが起こってしまい、形成されるトランジション層とバイアホールと界面に隙間が発生することがあるからである。
- 20

(3) その後、レジスト層35を厚付け層37上に形成させる(第8図(C))。

- 25 (4) レジスト35の非形成部の金属膜33及び厚付け層37を硫酸一過酸化水素水、塩化第二鉄、塩化第二銅、第二銅錯体-有機酸塩等のエッチング液によって除去した後、レジスト35を剥離することで、ICチップのパッド22上にトランジション層38を形成する(第8図(D))。以降の工程は、第1実施例と同様であるため説明を省略する。

- 30 [第1実施例の第2改変例の第1別例]

上述した第2改変例では、薄膜層33がクロムにより形成された。これに対して、第1別例では、薄膜層33をチタンにより形成する。

[第1実施例の第3改変例]

第3改変例に係る半導体素子20の製造方法について、第9図を参照して説明する。第8図を参照して上述した第2改変例に係る半導体素子では、トランジション層38が、薄膜層33と厚付け層37とからなる2層構造であった。これに対して、第3改変例では、第9図(D)に示すように、トランジション層38が、第1薄膜層33と、第2薄膜層36と、厚付け層37とからなる3層構造として構成されている。

この第3改変例の製造方法について第9図を参照して説明する。

(1) 第1実施例で第6図(A)を参照して上述した第1改変例と同様に、第1薄膜層33の上に、スパッタ、蒸着、無電解めっきによって第2薄膜層36を積層する(第9図(A))。その場合積層できる金属は、ニッケル、銅、金、銀の中から選ばれるものがよい。特に、銅、ニッケルのいずれかで形成させることがよい。銅は、廉価であることと電気伝達性がよいからである。ニッケルは、薄膜との密着性がよく、剥離やクラックを引き起こし難い。第3改変例では、第2薄膜層36を無電解銅めっきにより形成する。厚みは、0.01~5.0 μm がよく、特に、0.1~3.0 μm が望ましい。

なお、望ましい第1薄膜層と第2薄膜層との組み合わせは、クロム-銅、クロム-ニッケル、チタン-銅、チタン-ニッケルである。金属との接合性や電気伝達性という点で他の組み合わせよりも優れる。

(2) 電解メッキを施して第2薄膜層36の上に、ニッケル、銅、金、銀、亜鉛、又は鉄からなる厚付け膜37を均一に設ける(第9図(B))。厚みは、1~20 μm が望ましい。

(3) その後、レジスト層35を厚付け層37上に形成させる(第9図(C))。

(4) レジスト35の非形成部の第1薄膜層33、第2薄膜層36及び厚付け層37を硫酸-過酸化水素水、塩化第二鉄、塩化第二銅、第二銅錯体-有機酸塩等のエッチング液によって除去した後、レジスト35を剥離することで、ICチップのパッド22上にトランジション層38を形成する(第9図(D))。

以降の工程は、第1実施例と同様であるため説明を省略する。

[第1実施例の第3改変例の第1別例]

上述した第3改変例では、第1薄膜層33がクロムにより、第2薄膜層36が無電解めっき銅で、厚付け層37が電解銅めっきで形成された。これに対し、第1別例では、第1薄膜層33をクロムにより、第2薄膜層36をスパッタ銅で、厚付け層37を電解銅めっきで形成する。各層の厚みは、クロム0.07 μm 、銅0.5 μm 、電解銅15 μm である。

[第1実施例の第3改変例の第2別例]

第2別例では、第1薄膜層33をチタンにより、第2薄膜層36が無電解銅で、厚付け層37を電解銅めっきで形成する。各層の厚みは、チタン0.07 μm 、銅1.0 μm 、電解銅15 μm である。

[第1実施例の第3改変例の第3別例]

第3別例では、第1薄膜層33をチタンにより、第2薄膜層36をスパッタ銅で、厚付け層37を電解銅めっきで形成する。各層の厚みは、チタン0.07 μm 、銅0.5 μm 、電解銅18 μm である。

[第1実施例の第3改変例の第4別例]

第4別例では、第1薄膜層33をクロムにより、第2薄膜層36が無電解めっきニッケルで、厚付け層37を電解銅めっきで形成する。各層の厚みは、クロム0.06 μm 、ニッケル1.2 μm 、電解銅16 μm である。

[第1実施例の第3改変例の第5別例]

第5別例では、第1薄膜層33をチタンにより、第2薄膜層36が無電解めっきニッケルで、厚付け層37を電解銅めっきで形成する。各層の厚みは、チタン0.07 μm 、ニッケル1.1 μm 、電解銅15 μm である。

B. 半導体素子を内蔵する多層プリント配線板

引き続き、上述した第1～第3改変例の半導体素子（ICチップ）20をコア基板の凹部、空隙、開口に埋め込み、收容、収納させてなる多層プリント配線板の構成について説明する。

[第1実施例]

第14図に示すように多層プリント配線板10は、第3図（B）を参照して上述した第1実施例のICチップ20を收容するコア基板30と、層間樹脂絶縁層50、層間樹脂絶縁層150とからなる。層間樹脂絶縁層50には、バイ

アホール 60 および導体回路 58 が形成され、層間樹脂絶縁層 150 には、バイアホール 160 および導体回路 158 が形成されている。

層間樹脂絶縁層 150 の上には、ソルダーレジスト層 70 が配設されている。ソルダーレジスト層 70 の開口部 71 下の導体回路 158 には、図示しないデータボード、マザーボード等の外部基板と接続するための半田バンプ 76 が設けられている。

本実施例の多層プリント配線板 10 では、コア基板 30 に IC チップ 20 を内蔵させて、該 IC チップ 20 のパッド 22 にはトランジション層を 38 を配設させている。このため、リード部品や封止樹脂を用いず、IC チップと多層プリント配線板 (パッケージ基板) との電氣的接続を取ることができる。また、IC チップ部分にトランジション層 38 が形成されていることから、IC チップ部分には平坦化されるので、上層の層間絶縁層 50 も平坦化されて、膜厚みも均一になる。更に、トランジション層によって、上層のバイアホール 60 を形成する際も形状の安定性を保つことができる。

更に、ダイパッド 22 上に銅製のトランジション層 38 を設けることで、パッド 22 上の樹脂残りを防ぐことができ、また、後工程の際に酸や酸化剤あるいはエッチング液に浸漬させたり、種々のアニール工程を経てもパッド 22 の変色、溶解が発生しない。これにより、IC チップのパッドとバイアホールとの接続性や信頼性を向上させる。更に、40 μ m 径パッド 22 上に 60 μ m 径以上のトランジション層 38 を介在させることで、60 μ m 径のバイアホールを確実に接続させることができる。

引き続き、第 14 図を参照して上述した多層プリント配線板の製造方法について、第 10 図～第 13 図を参照して説明する。

(1) 先ず、ガラスクロス等の心材にエポキシ等の樹脂を含浸させたプリプレグを積層した絶縁樹脂基板 (コア基板) 30 を出発材料とする (第 10 図 (A))。次に、コア基板 30 の片面に、ザグリ加工で IC チップ収容用の凹部 32 を形成する (第 10 図 (B))。ここでは、ザグリ加工により凹部を設けているが、開口を設けた絶縁樹脂基板と開口を設けない樹脂絶縁基板とを張り合わせることで、収容部を備えるコア基板を形成できる。

(2) その後、凹部 32 に、印刷機を用いて接着材料 34 を塗布する。このと

き、塗布以外にも、ポッティングなどをしてよい。次に、ICチップ20を
接着材料34上に載置する（第10図（C））。

（3）そして、ICチップ20の上面を押す、もしくは叩いて凹部32内に完全
に収容させる（第10図（D））。これにより、コア基板30を平滑にする
5 ことができる。この際に、接着材料34が、ICチップ20の上面にかかるこ
とが有るが、後述するようにICチップ20の上面に樹脂層を設けてからレー
ザでバイアホール用の開口を設けるため、トランジション層38とバイアホー
ルとの接続に影響を与えることがない。

（4）上記工程を経た基板に、厚さ50 μ mの熱硬化型樹脂シートを温度50
10 \sim 150 $^{\circ}$ Cまで昇温しながら圧力5kg/cm²で真空圧着ラミネートし層間樹脂
絶縁層50を設ける（第11図（A））。真空圧着時の真空度は、10mmHg
である。

（5）次に、波長10.4 μ mのCO²ガスレーザにて、ビーム径5mm、ト
ップハットモード、パルス幅5.0 μ 秒、マスクの穴径0.5mm、1ショット
15 の条件で、層間樹脂絶縁層50に直径60 μ mのバイアホール用開口48を
設ける（第11図（B））。60 $^{\circ}$ Cの過マンガン酸を用いて、開口48内の樹
脂残りを除去する。ダイパッド22上に銅製のトランジション層38を設ける
ことで、パッド22上の樹脂残りを防ぐことができ、これにより、パッド22
と後述するバイアホール60との接続性や信頼性を向上させる。更に、40 μ
20 m径パッド22上に60 μ m以上の径のトランジション層38を介在させるこ
とで、60 μ m径のバイアホール用開口48を確実に接続させることができる。
なお、ここでは、過マンガン酸などの酸化剤を用いて樹脂残さを除去したが、
酸素プラズマなどやコロナ処理を用いてデスミア処理を行うことも可能である。

（6）次に、クロム酸、過マンガン酸塩などの酸化剤等に浸漬させることによ
25 って、層間樹脂絶縁層50の粗化面50 α を設ける（第11図（C））。該粗
化面50 α は、0.1 \sim 5 μ mの範囲で形成されることがよい。その一例とし
て、過マンガン酸ナトリウム溶液50g/l、温度60 $^{\circ}$ C中に5 \sim 25分間浸
漬させることによって、2 \sim 3 μ mの粗化面50 α を設ける。上記以外には、
日本真空技術株式会社製のSV-4540を用いてプラズマ処理を行い、層間
30 樹脂絶縁層50の表面に粗化面50 α を形成することもできる。この際、不活

- 26 -

性ガスとしてはアルゴンガスを使用し、電力200W、ガス圧0.6Pa、温度70℃の条件で、2分間プラズマ処理を実施する。

- (9) 粗化面50αが形成された層間樹脂絶縁層50上に、金属層52を設ける(第12図(A))。金属層52は、無電解めっきによって形成させる。予め層間樹脂絶縁層50の表層にパラジウムなどの触媒を付与させて、無電解め
- 5 っき液に5～60分間浸漬させることにより、0.1～5μmの範囲でめっき膜である金属層52を設ける。その一例として、

[無電解めっき水溶液]

	NiSO ₄	0.003 mol/l
10	酒石酸	0.200 mol/l
	硫酸銅	0.030 mol/l
	HCHO	0.050 mol/l
	NaOH	0.100 mol/l
	α、α'-ビピルジル	100 mg/l
15	ポリエチレングリコール(PEG)	0.10 g/l

34℃の液温度で40分間浸漬させた。

- なお、めっきの代わりに、日本真空技術株式会社製のSV-4540を用い、Ni-Cu合金をターゲットにしたスパッタリングを、気圧0.6Pa、温度80℃、電力200W、時間5分間の条件で行い、Ni-Cu合金52をエポ
- 20 キシ系層間樹脂絶縁層50の表面に形成することもできる。このとき、形成されたNi-Cu合金層52の厚さは0.2μmである。

- (8) 上記処理を終えた基板30に、市販の感光性ドライフィルムを貼り付け、フォトリソマスクフィルムを載置して、100mJ/cm²で露光した後、0.8%炭酸ナトリウムで現像処理し、厚さ15μmのめっきレジスト54を設ける。
- 25 次に、以下の条件で電解めっきを施して、厚さ15μmの電解めっき膜56を形成する(第12図(B))。なお、電解めっき水溶液中の添加剤は、アトテックジャパン社製のカパラシドHLである。

[電解めっき水溶液]

	硫酸	2.24 mol/l
30	硫酸銅	0.26 mol/l

- 27 -

添加剤（アトテックジャパン製、カパラシドHL）

19.5 ml/l

〔電解めっき条件〕

電流密度 1 A/dm²

5 時間 65分

温度 22±2℃

（7）めっきレジスト54を5%NaOHで剥離除去した後、そのめっきレジスト下の金属層52を硝酸および硫酸と過酸化水素の混合液を用いるエッチングにて溶解除去し、金属層52と電解めっき膜56からなる厚さ16μmの導

10 体回路58及びバイアホール60を形成し、第二銅錯体と有機酸とを含有するエッチング液によって、粗化面58α、60αを形成する（第12図（C））。

（10）次いで、上記（4）～（9）の工程を、繰り返すことにより、さらに上層の層間樹脂絶縁層150及び導体回路158（バイアホール160を含む）を形成する（第13図（A））。

15 （11）次に、ジエチレングリコールジメチルエーテル（DMDG）に60重量%の濃度になるように溶解させた、クレゾールノボラック型エポキシ樹脂（日本化薬社製）のエポキシ基50%をアクリル化した感光性付与のオリゴマー（分子量4000）46.67重量部、メチルエチルケトンに溶解させた80重量%のビスフェノールA型エポキシ樹脂（油化シェル社製、商品名：エピコート1

20 001）15重量部、イミダゾール硬化剤（四国化成社製、商品名：2E4MZ-CN）1.6重量部、感光性モノマーである多官能アクリルモノマー（共栄化学社製、商品名：R604）3重量部、同じく多価アクリルモノマー（共栄化学社製、商品名：DPE6A）1.5重量部、分散系消泡剤（サンノプコ社製、商品名：S-65）0.71重量部を容器にとり、攪拌、混合して混合

25 組成物を調整し、この混合組成物に対して光重量開始剤としてベンゾフェノン（関東化学社製）2.0重量部、光増感剤としてのミヒラーケトン（関東化学社製）0.2重量部を加えて、粘度を25℃で2.0Pa・sに調整したソルダーレジスト組成物（有機樹脂絶縁材料）を得る。

なお、粘度測定は、B型粘度計（東京計器社製、DVL-B型）で60rpm

- 28 -

mの場合はローターNo. 4、6 r p mの場合はローターNo. 3によった。

(12) 次に、基板30に、上記 solderレジスト組成物を20 μ mの厚さで塗布し、70℃で20分間、70℃で30分間の条件で乾燥処理を行った後、 solderレジストレジスト開口部のパターンが描画された厚さ5mmのフォト
5 マスクを solderレジスト層70に密着させて1000 mJ/cm²の紫外線で露光し、DMTG溶液で現像処理し、200 μ mの直径の開口71を形成する(第13図(B))。また、市販の solderレジストを用いてもよい。

(13) 次に、 solderレジスト層(有機樹脂絶縁層)70を形成した基板を、塩化ニッケル(2.3 $\times 10^{-1}$ mol/l)、次亜リン酸ナトリウム(2.8
10 $\times 10^{-1}$ mol/l)、クエン酸ナトリウム(1.6 $\times 10^{-1}$ mol/l)を含むpH=4.5の無電解ニッケルめっき液に20分間浸漬して、開口部71に厚さ5 μ mのニッケルめっき層72を形成する。さらに、その基板を、シアン化金カリウム(7.6 $\times 10^{-3}$ mol/l)、塩化アンモニウム(1.9 $\times 10^{-1}$ mol/l)、クエン酸ナトリウム(1.2 $\times 10^{-1}$ mol/l)、次
15 亜リン酸ナトリウム(1.7 $\times 10^{-1}$ mol/l)を含む無電解めっき液に80℃の条件で7.5分間浸漬して、ニッケルめっき層72上に厚さ0.03 μ mの金めっき層74を形成することで、導体回路158に半田パッド75を形成する(第13図(C))。

(14) この後、 solderレジスト層70の開口部71に、はんだペーストを
20 印刷して、200℃でリフローすることにより、半田バンプ76を形成する。これにより、ICチップ20を内蔵し、半田バンプ76を有する多層プリント配線板10を得ることができる(第14図参照)。

半田ペーストには、Sn/Pb、Sn/Sb、Sn/Ag、Sn/Ag/Cuなどを用いることができる。もちろん、放射線の低 α 線タイプの半田ペーストを用いてもよい。
25

上述した実施例では、層間樹脂絶縁層50、150に熱硬化型樹脂シートを用いた。この樹脂シートには、難溶性樹脂、可溶性粒子、硬化剤、その他の成分が含有されている。それぞれについて以下に説明する。

本発明の製造方法において使用する樹脂は、酸または酸化剤に可溶性の粒子
30 (以下、可溶性粒子という)が酸または酸化剤に難溶性の樹脂(以下、難溶性

樹脂という)中に分散したものである。

なお、本発明で使用する「難溶性」「可溶性」という語は、同一の酸または酸化剤からなる溶液に同一時間浸漬した場合に、相対的に溶解速度の早いものを便宜上「可溶性」と呼び、相対的に溶解速度の遅いものを便宜上「難溶性」と呼ぶ。

上記可溶性粒子としては、例えば、酸または酸化剤に可溶性の樹脂粒子（以下、可溶性樹脂粒子）、酸または酸化剤に可溶性の無機粒子（以下、可溶性無機粒子）、酸または酸化剤に可溶性の金属粒子（以下、可溶性金属粒子）等が挙げられる。これらの可溶性粒子は、単独で用いても良いし、2種以上併用してもよい。

上記可溶性粒子の形状は特に限定されず、球状、破碎状等が挙げられる。また、上記可溶性粒子の形状は、一様な形状であることが望ましい。均一な粗さの凹凸を有する粗化面を形成することができるからである。

上記可溶性粒子の平均粒径としては、 $0.1 \sim 10 \mu\text{m}$ が望ましい。この粒径の範囲であれば、2種類以上の異なる粒径のものを含有してもよい。すなわち、平均粒径が $0.1 \sim 0.5 \mu\text{m}$ の可溶性粒子と平均粒径が $1 \sim 3 \mu\text{m}$ の可溶性粒子とを含有する等である。これにより、より複雑な粗化面を形成することができ、導体回路との密着性にも優れる。なお、本発明において、可溶性粒子の粒径とは、可溶性粒子の一番長い部分の長さである。

上記可溶性樹脂粒子としては、熱硬化性樹脂、熱可塑性樹脂等からなるものが挙げられ、酸あるいは酸化剤からなる溶液に浸漬した場合に、上記難溶性樹脂よりも溶解速度が速いものであれば特に限定されない。

上記可溶性樹脂粒子の具体例としては、例えば、エポキシ樹脂、フェノール樹脂、ポリイミド樹脂、ポリフェニレン樹脂、ポリオレフィン樹脂、フッ素樹脂等からなるものが挙げられ、これらの樹脂の一種からなるものであってもよいし、2種以上の樹脂の混合物からなるものであってもよい。

また、上記可溶性樹脂粒子としては、ゴムからなる樹脂粒子を用いることもできる。上記ゴムとしては、例えば、ポリブタジエンゴム、エポキシ変性、ウレタン変性、(メタ)アクリロニトリル変性等の各種変性ポリブタジエンゴム、カルボキシル基を含有した(メタ)アクリロニトリル・ブタジエンゴム等が挙

- 30 -

5 げられる。これらのゴムを使用することにより、可溶性樹脂粒子が酸あるいは酸化剤に溶解しやすくなる。つまり、酸を用いて可溶性樹脂粒子を溶解する際には、強酸以外の酸でも溶解することができ、酸化剤を用いて可溶性樹脂粒子を溶解する際には、比較的酸化力の弱い過マンガン酸塩でも溶解することができる。また、クロム酸を用いた場合でも、低濃度で溶解することができる。そのため、酸や酸化剤が樹脂表面に残留することがなく、後述するように、粗化面形成後、塩化パラジウム等の触媒を付与する際に、触媒が付与されなかつたり、触媒が酸化されたりすることがない。

10 上記可溶性無機粒子としては、例えば、アルミニウム化合物、カルシウム化合物、カリウム化合物、マグネシウム化合物およびケイ素化合物からなる群より選択される少なくとも一種からなる粒子等が挙げられる。

15 上記アルミニウム化合物としては、例えば、アルミナ、水酸化アルミニウム等が挙げられ、上記カルシウム化合物としては、例えば、炭酸カルシウム、水酸化カルシウム等が挙げられ、上記カリウム化合物としては、炭酸カリウム等が挙げられ、上記マグネシウム化合物としては、マグネシア、ドロマイト、塩基性炭酸マグネシウム等が挙げられ、上記ケイ素化合物としては、シリカ、ゼオライト等が挙げられる。これらは単独で用いても良いし、2種以上併用してもよい。

20 上記可溶性金属粒子としては、例えば、銅、ニッケル、鉄、亜鉛、鉛、金、銀、アルミニウム、マグネシウム、カルシウムおよびケイ素からなる群より選択される少なくとも一種からなる粒子等が挙げられる。また、これらの可溶性金属粒子は、絶縁性を確保するために、表層が樹脂等により被覆されていてもよい。

25 上記可溶性粒子を、2種以上混合して用いる場合、混合する2種の可溶性粒子の組み合わせとしては、樹脂粒子と無機粒子との組み合わせが望ましい。両者とも導電性が低いため樹脂フィルムの絶縁性を確保することができるとともに、難溶性樹脂との間で熱膨張の調整が図りやすく、樹脂フィルムからなる層間樹脂絶縁層にクラックが発生せず、層間樹脂絶縁層と導体回路との間で剥離が発生しないからである。

30 上記難溶性樹脂としては、層間樹脂絶縁層に酸または酸化剤を用いて粗化面

- 31 -

を形成する際に、粗化面の形状を保持できるものであれば特に限定されず、例えば、熱硬化性樹脂、熱可塑性樹脂、これらの複合体等が挙げられる。また、これらの樹脂に感光性を付与した感光性樹脂であってもよい。感光性樹脂を用いることにより、層間樹脂絶縁層に露光、現像処理を用いてバイアホール用開口を形成することができる。

これらのなかでは、熱硬化性樹脂を含有しているものが望ましい。それにより、めっき液あるいは種々の加熱処理によっても粗化面の形状を保持することができるからである。

上記難溶性樹脂の具体例としては、例えば、エポキシ樹脂、フェノール樹脂、フェノキシ樹脂、ポリイミド樹脂、ポリフェニレン樹脂、ポリオレフィン樹脂、ポリエーテルスルホン、フッ素樹脂等が挙げられる。これらの樹脂は単独で用いてもよいし、2種以上を併用してもよい。

さらには、1分子中に、2個以上のエポキシ基を有するエポキシ樹脂がより望ましい。前述の粗化面を形成することができるばかりでなく、耐熱性等にも優れてるため、ヒートサイクル条件下においても、金属層に応力の集中が発生せず、金属層の剥離などが起きにくいからである。

上記エポキシ樹脂としては、例えば、クレゾールノボラック型エポキシ樹脂、ビスフェノールA型エポキシ樹脂、ビスフェノールF型エポキシ樹脂、フェノールノボラック型エポキシ樹脂、アルキルフェノールノボラック型エポキシ樹脂、ビスフェノールF型エポキシ樹脂、ナフタレン型エポキシ樹脂、ジシクロペンタジエン型エポキシ樹脂、フェノール類とフェノール性水酸基を有する芳香族アルデヒドとの縮合物のエポキシ化物、トリグリシジルイソシアヌレート、脂環式エポキシ樹脂等が挙げられる。これらは、単独で用いてもよく、2種以上を併用してもよい。それにより、耐熱性等に優れるものとなる。

本発明で用いる樹脂フィルムにおいて、上記可溶性粒子は、上記難溶性樹脂中にほぼ均一に分散されていることが望ましい。均一な粗さの凹凸を有する粗化面を形成することができ、樹脂フィルムにバイアホールやスルーホールを形成しても、その上に形成する導体回路の金属層の密着性を確保することができるからである。また、粗化面を形成する表層部だけに可溶性粒子を含有する樹脂フィルムを用いてもよい。それによって、樹脂フィルムの表層部以外は酸ま

たは酸化剤にさらされることがないため、層間樹脂絶縁層を介した導体回路間の絶縁性が確実に保たれる。

上記樹脂フィルムにおいて、難溶性樹脂中に分散している可溶性粒子の配合量は、樹脂フィルムに対して、3～40重量%が望ましい。可溶性粒子の配合量が3重量%未満では、所望の凹凸を有する粗化面を形成することができない場合があり、40重量%を超えると、酸または酸化剤を用いて可溶性粒子を溶解した際に、樹脂フィルムの深部まで溶解してしまい、樹脂フィルムからなる層間樹脂絶縁層を介した導体回路間の絶縁性を維持できず、短絡の原因となる場合がある。

上記樹脂フィルムは、上記可溶性粒子、上記難溶性樹脂以外に、硬化剤、その他の成分等を含有していることが望ましい。

上記硬化剤としては、例えば、イミダゾール系硬化剤、アミン系硬化剤、グアニジン系硬化剤、これらの硬化剤のエポキシアダクトやこれらの硬化剤をマイクロカプセル化したもの、トリフェニルホスフィン、テトラフェニルホスフォニウム・テトラフェニルボレート等の有機ホスフィン系化合物等が挙げられる。

上記硬化剤の含有量は、樹脂フィルムに対して0.05～10重量%であることが望ましい。0.05重量%未満では、樹脂フィルムの硬化が不十分であるため、酸や酸化剤が樹脂フィルムに侵入する度合いが大きくなり、樹脂フィルムの絶縁性が損なわれることがある。一方、10重量%を超えると、過剰な硬化剤成分が樹脂の組成を変性させることがあり、信頼性の低下を招いたりしてしまうことがある。

上記その他の成分としては、例えば、粗化面の形成に影響しない無機化合物あるいは樹脂等のフィラーが挙げられる。上記無機化合物としては、例えば、シリカ、アルミナ、ドロマイト等が挙げられ、上記樹脂としては、例えば、ポリイミド樹脂、ポリアクリル樹脂、ポリアミドイミド樹脂、ポリフェニレン樹脂、メラニン樹脂、オレフィン系樹脂等が挙げられる。これらのフィラーを含有させることによって、熱膨張係数の整合や耐熱性、耐薬品性の向上などを図り多層プリント配線板の性能を向上させることができる。

また、上記樹脂フィルムは、溶剤を含有していてもよい。上記溶剤としては、

例えば、アセトン、メチルエチルケトン、シクロヘキサノン等のケトン類、酢酸エチル、酢酸ブチル、セロソルブアセテートやトルエン、キシレン等の芳香族炭化水素等が挙げられる。これらは単独で用いてもよいし、2種類以上併用してもよい。ただし、これらの層間樹脂絶縁層は、350℃以上の温度を加えると溶解、炭化をしてしまう。

[第1実施例の第1改変例]

次に、第1実施例の第1改変例に係る多層プリント配線板について、第16図を参照して説明する。

上述した第1実施例では、BGAを配設した場合で説明した。第1改変例では、第1実施例とほぼ同様であるが、第16図に示すように導電性接続ピン96を介して接続を取るPGA方式に構成されている。また、上述した第1実施例では、バイアホールをレーザで形成したが、第1改変例では、フォトリソングによりバイアホールを形成する。

この第1改変例に係る多層プリント配線板の製造方法について、第15図を参照して説明する。

(4) 第1実施例と同様に、(1)～(3)上記工程を経た基板に、厚さ50μmの熱硬化型エポキシ系樹脂50を塗布する(第15図(A))。

(5) 次に、バイアホール形成位置に対応する黒円49aの描かれたフォトマスクフィルム49を層間樹脂絶縁層50に載置し、露光する(第15図(B))。

(6) DMTG液でスプレー現像し、加熱処理を行うことで直径85μmのバイアホール用開口48を備える層間樹脂絶縁層50を設ける(第15図(C))。

(7) 過マンガン酸、又は、クロム酸で層間樹脂絶縁層50の表面を粗化し、粗化面50αを形成する(第15図(D))。以降の工程は、上述した第1実施例と同様であるため、説明を省略する。粗化面は、0.05～5μmの間が望ましい。

上述した実施例の半導体素子と比較例の半導体素子をと第1実施例、第1改変例の多層プリント配線板に収容し評価した結果を第17図、第18図の図表に示す。

[比較例1]

比較例は、第1実施例の半導体素子を同様である。但し、比較例1では、ト

ランジション層を形成せず、ダイパッドをそのまま多層プリント配線板へ埋め込んだ。

[比較例 2]

- 5 比較例 2 では、特開平 9-321408 号のスタッドバンプを形成し、多層プリント配線板へ埋め込んだ。

評価項目として、

- ①ダイパッドの変色・溶解の有無を目視によって判定した。
②バイアホール用開口の形成の可否を、第 1 実施例の多層プリント配線板の製造方法を用い、レーザで径 $60\mu\text{m}$ の開口が形成できるかを、また、第 1 改変例の多層プリント配線板の製造方法を用い、フォトであれば、径 $85\mu\text{m}$ の開口が形成できるかを調べた。
③ダイパッドとバイアホールとの接触抵抗を測定した。

- 15 第 1 ～ 第 3 改変例の半導体素子では、好適な結果が得られたが、比較例 1、2 では、バイアホールの形成不良や接続不良、あるいは抵抗値の増大などの問題が発生した。

- 20 第 1 実施例の構造により、リード部品を介さずに、ICチップとプリント配線板との接続を取ることができる。そのため、樹脂封止も不要となる。更に、リード部品や封止樹脂に起因する不具合が起きないので、接続性や信頼性が向上する。また、ICチップのパッドとプリント配線板の導電層が直接接続されているので、電気特性も向上させることができる。

更に、従来の ICチップの実装方法に比べて、ICチップ～基板～外部基板までの配線長も短くできて、ループインダクタンスを低減できる効果もある。また、BGA、PGAなどを配設できるほど、配線形成の自由度が増した。

25 [第 2 実施例]

以下、本発明の第 2 実施例について図を参照して説明する。

第 2 実施例の半導体素子（ICチップ）20 を収納する多層プリント配線板の構成について説明する。

- 30 第 24 図に示すように多層プリント配線板 10 は、第 3 図（B）を参照して上述した第 1 実施例の ICチップ 20 を載置するヒートシンク 30D と、IC

チップ 20 を收容するコア基板 31 と、IC チップ 20 上の層間樹脂絶縁層 50、層間樹脂絶縁層 150 とからなる。層間樹脂絶縁層 50 には、バイアホール 60 および導体回路 58 が形成され、層間樹脂絶縁層 150 には、バイアホール 160 および導体回路 158 が形成されている。

- 5 層間樹脂絶縁層 150 の上には、ソルダーレジスト層 70 が配設されている。ソルダーレジスト層 70 の開口部 71 下の導体回路 158 には、図示しないドータボード、マザーボード等の外部基板と接続するための半田バンプ 76 が設けられている。

- 10 ヒートシンク 30D は、窒化アルミニウム、アルミナ、ムライト等のセラミック、又は、アルミニウム合金、銅、隣青銅等の金属からなる。ここで、熱伝導率の高いアルミニウム合金、又は、両面に粗化处理を施した銅箔を用いることが好適である。本実施形態では、コア基板 31 に埋設させる IC チップ 20 の裏面にヒートシンク 30D を取り付けすることで、IC チップ 20 に発生する熱を逃がし、コア基板 31 及びコア基板上に形成される層間樹脂絶縁層 50、
15 150 の反りを防止し、該層間樹脂絶縁層上のバイアホール 60、160、導体回路 58、158 に断線が生じることを無くす。これにより、配線の信頼性を高める。

- 20 なお、IC チップ 20 は、ヒートシンク 30D に、導電性接着剤 29 により取り付けられている。導電性接着剤 29 は、銅、銀、金、アルミニウム等の金属粉を樹脂に含有させてなり、高い熱伝導性を有するため、IC チップ 20 に発生した熱を効率的にヒートシンク 30D 側へ逃がすことができる。ここでは、IC チップ 20 の取り付けに導電性接着剤を用いるが、熱伝導性が高い接着剤であれば、種々の物を用いることができる。

- 25 本実施例の多層プリント配線板 10 では、コア基板 31 に IC チップ 20 を内蔵させて、該 IC チップ 20 のパッド 22 にはトランジション層を 38 を配設させている。このため、リード部品や封止樹脂を用いず、IC チップと多層プリント配線板 (パッケージ基板) との電氣的接続を取ることができる。また、IC チップ部分にトランジション層 38 が形成されていることから、IC チップ部分には平坦化されるので、上層の層間絶縁層 50 も平坦化されて、膜厚み
30 も均一になる。更に、トランジション層によって、上層のバイアホール 60 を

形成する際も形状の安定性を保つことができる。

更に、ダイパッド22上に銅製のトランジション層38を設けることで、パッド22上の樹脂残りを防ぐことができ、また、後工程の際に酸や酸化剤あるいはエッチング液に浸漬させたり、種々のアニール工程を経てもパッド22の変色、溶解が発生しない。これにより、ICチップのパッドとバイアホールとの接続性や信頼性を向上させる。更に、40 μ m径パッド22上に60 μ m径以上のトランジション層38を介在させることで、60 μ m径のバイアホールを確実に接続させることができる。

引き続き、第24図を参照して上述した第2実施例の多層プリント配線板の製造方法について、第19図～第23図を参照して説明する。

(1) 窒化アルミニウム、アルミナ、ムライト等のセラミック、又は、アルミニウム合金、隣青銅等から成る板状のヒートシンク30D(第19図(A))に、導電性接着剤29を塗布する(第19図(B))。導電性接着剤としては、平均粒径2～5 μ mの銅粒子を含有するペーストを用いて、厚さ10～20 μ mに形成した。

(2) 上述した第1実施例、第1実施例の第1改変例、第2改変例、又は、第3改変例のICチップ20を載置する(第19図(C))。

(3) 次に、ICチップ20を取り付けたヒートシンク30Dを、ステンレス(SUS)プレス板100Aに載置する。そして、ガラスクロス等の心材にBT(ビスマレイミドトリアジン)樹脂、エポキシ等の樹脂を含浸させた未硬化のプリプレグを積層して成る厚さ0.5mmのプリプレグ積層体31 α をヒートシンク30Dに載置する(第20図(A))。プリプレグ積層体31 α には、予めICチップ20の位置に通孔32を設けておく。ここでは、心材に樹脂を含浸させたプリプレグを用いているが、心材を備えない樹脂基板を用いることもできる。また、プリプレグの代わりに、種々の熱硬化性樹脂、又は、熱硬化性樹脂と熱可塑性樹脂とを心材に含浸させたシートを用いることができる。

(4) ステンレス(SUS)プレス板100A、100Bで、上述した積層体を上下方向から加圧する。この際に、プリプレグ31 α からエポキシ樹脂31 β がしみ出し、通孔32とICチップ20との間の空間を充填すると共に、ICチップ20の上面を覆う。これにより、ICチップ20と、プリプレグ積層

体 3 1 α との上面が完全に平坦になる。(第 2 0 図 (B))。このため、後述する工程でビルドアップ層を形成する際に、バイアホール及び配線を適正に形成することができ、多層プリント配線板の配線の信頼性を高めることができる。

- 5 (5) この後、加熱して、プリプレグのエポキシ樹脂を硬化させることで、ICチップ 2 0 を収容するコア基板 3 1 を形成する(第 2 0 図 (C))。

(6) 上記工程を経た基板に、厚さ 5 0 μm の熱硬化型エポキシ系樹脂シートを温度 5 0 ~ 1 5 0 $^{\circ}\text{C}$ まで昇温しながら圧力 5 kg/cm^2 で真空圧着ラミネートし、エポキシ系樹脂からなる層間樹脂絶縁層 5 0 を設ける(第 2 1 図 (A))。真空圧着時の真空度は、1 0 mmHg である。

- 10 (7) 次に、波長 1 0 . 4 μm の CO_2 ガスレーザにて、ビーム径 5 mm 、トップハットモード、パルス幅 5 . 0 μs 、マスクの穴径 0 . 5 mm 、1 ショットの条件で、層間樹脂絶縁層 5 0 に直径 6 0 μm のバイアホール用開口 4 8 を設ける(第 2 1 図 (B))。クロム酸や過マンガン酸を用いて、開口 4 8 内の樹脂残りを除去する。ダイパッド 2 2 上に銅製のトランジション層 3 8 を設けることで、パッド 2 2 上の樹脂残りを防ぐことができ、これにより、パッド 2 2 と後述するバイアホール 6 0 との接続性や信頼性を向上させる。更に、4 0 μm 径パッド 2 2 上に 6 0 μm 以上の径のトランジション層 3 8 を介在させることで、6 0 μm 径のバイアホール用開口 4 8 を確実に接続させることができる。なお、ここでは、クロム酸を用いて樹脂残さを除去したが、酸素プラズマを用いてデスミア処理を行うことも可能である。
- 15 20

(8) 次に、過マンガン酸で層間樹脂絶縁層 5 0 の表面を粗化し、粗化面 5 0 α を形成する(第 2 1 図 (C))。

- (9) 次に、粗化面 5 0 α が形成された層間樹脂絶縁層 5 0 上に無電解めっき膜 5 2 を設ける(第 2 2 図 (A))。無電解めっきとしては、銅、ニッケルを用いることができる。その厚みとしては、0 . 3 μm ~ 1 . 2 μm の範囲がよい。0 . 3 μm 未満では、層間樹脂絶縁層上に金属膜を形成することができないことがある。1 . 2 μm を越えると、エッチングによって金属膜が残存してしまい、導体間の短絡を引き起こしやすくなるからである。第 1 実施例と同様のめっき液及びめっき条件でめっき膜を形成させた。
- 25 30

上記以外でも上述したプラズマ処理と同じ装置を用い、Ni-Cu 合金をタ

ーゲットにしたスパッタリングを、気圧0.6 Pa、温度80℃、電力200 W、時間5分間の条件で行い、Ni-Cu合金52を層間樹脂絶縁層50の表面に形成する。このとき、形成されたNi-Cu合金層52の厚さは0.2 μmである。

- 5 (10) 上記処理を終えた基板30に、市販の感光性ドライフィルムを貼り付け、フォトリソグラフィフィルムを載置して、100 mJ/cm²で露光した後、0.8%炭酸ナトリウムで現像処理し、厚さ20 μmのめっきレジスト54を設ける。次に、第1実施例と同様の条件で電解めっきを施して、厚さ15 μmの電解めっき膜56を形成する(第22図(B))。なお、電解めっき水溶液中の
- 10 添加剤は、アテックジャパン社製のカパラシドHLである。

- (11) めっきレジスト54を5%NaOHで剥離除去した後、そのめっきレジスト下のめっき膜層52を硝酸および硫酸と過酸化水素の混合液を用いるエッチングにて溶解除去し、めっき膜層52と電解めっき膜56からなる厚さ16 μmの導体回路58及びバイアホール60を形成し、第二銅錯体と有機酸と
- 15 を含有するエッチング液によって、粗化面58α、60αを形成する(第22図(C))。本実施例では、第20図(C)を参照して上述したように、コア基板31の上面が完全に平滑に形成されているため、バイアホール60によりトランジション層38に適切に接続を取ることができる。このため、多層プリント配線板の信頼性を高めることが可能となる。

- 20 (12) 次に、上記(6)～(11)の工程を、繰り返すことにより、さらに上層の層間樹脂絶縁層150及び導体回路158(バイアホール160を含む)を形成する(第23図(A))。

(13) 次に、第1実施例と同様なソルダーレジスト組成物(有機樹脂絶縁材料)を得る。

- 25 (14) 次に、基板30に、上記ソルダーレジスト組成物を20 μmの厚さで塗布し、70℃で20分間、70℃で30分間の条件で乾燥処理を行った後、ソルダーレジストレジスト開口部のパターンが描画された厚さ5 mmのフォトリソマスクをソルダーレジスト層70に密着させて1000 mJ/cm²の紫外線で露光し、DMTG溶液で現像処理し、200 μmの直径の開口71を形成する
- 30 (第23図(B))。

(15) 次に、ソルダーレジスト層（有機樹脂絶縁層）70を形成した基板の開口部71に厚さ5 μ mのニッケルめっき層72を形成する。さらに、ニッケルめっき層72上に厚さ0.03 μ mの金めっき層74を形成することで、導体回路158に半田パッド75を形成する（第23図（C））。

- 5 (16) この後、ソルダーレジスト層70の開口部71に、はんだペーストを印刷して、200℃でリフローすることにより、半田バンプ76を形成する。最後に、ヒートシンク30Dを、ダイシングなどによって個片に分割して多層プリント配線板10を得る（第24図参照）。

[第2実施例の第1改変例]

- 10 次に、第2実施例の第1改変例に係る多層プリント配線板について、第26図を参照して説明する。

上述した第2実施例では、BGAを配設した場合で説明した。第1改変例では、第2実施例とほぼ同様であるが、第26図に示すように導電性接続ピン96を介して接続を取るPGA方式に構成されている。また、上述した第2実施

- 15 例では、バイアホールをレーザで形成したが、第1改変例では、フォトリソグラフィによりバイアホールを形成する。

この第2実施例の第1改変例に係る多層プリント配線板の製造方法について、第25図を参照して説明する。

- 20 (4) 第2実施例と同様に、(1)～(3)上記工程を経た基板に、厚さ50 μ mの熱硬化型エポキシ系樹脂50を塗布する（第25図（A））。

(5) 次に、バイアホール形成位置に対応する黒円49aの描かれたフォトマスクフィルム49を層間樹脂絶縁層50に載置し、露光する（第25図（B））。

(6) DMTG液でスプレー現像し、加熱処理を行うことで直径85 μ mのバイアホール用開口48を備える層間樹脂絶縁層50を設ける（第25図（C））。

- 25 (7)、過マンガン酸、又は、クロム酸で層間樹脂絶縁層50の表面を粗化し、粗化面50 α を形成する（第25図（D））。以降の工程は、上述した第2実施例と同様であるため、説明を省略する。

[第2実施例の第2改変例]

- 30 次に、第2実施例の第2改変例に係る多層プリント配線板の製造方法について説明する。

- 40 -

上述した第1、第1改変例では、プリプレグからコア基板を形成した。これに対して、第2改変例では、プリプレグを硬化してなる樹脂基板をプリプレグによりヒートシンク30Dに固定する。

5 この第2改変例に係る多層プリント配線板の製造方法について、第27図を参照して説明する。

(1) 両面を粗化した銅箔からなるヒートシンク30Dに導電性接着剤29を介してICチップ20を取り付け、ステンレス(SUS)プレス板100Aに載置する。そして、ガラスクロス等の心材にBT(ビスマレイミドトリアジン)樹脂、エポキシ等の樹脂を含浸させた未硬化のプリプレグ(0.2mm)31 α をヒートシンク30Dに載置する。更に、プリプレグ31 α の上に、上記プリプレグを積層し硬化させた樹脂基板(0.4mm)31 γ を載置する(第27図(A))。プリプレグ31 α 、樹脂基板31 γ には、予めICチップ20の位置に通孔32を設けておく。

15 (2) ステンレス(SUS)プレス板100A、100Bで、上述した積層体を上下方向から加圧する。この際に、プリプレグ31 α からエポキシ樹脂31 β がしみ出し、通孔32とICチップ20との間の空間を充填すると共に、ICチップ20の上面を覆う。これにより、ICチップ20と、樹脂基板31 γ との上面が完全に平坦になる。(第27図(B))。このため、後述する工程でビルドアップ層を形成する際に、バイアホール及び配線を適正に形成することができ、多層プリント配線板の配線の信頼性を高めることができる。

20 (3) この後、加熱して、プリプレグのエポキシ樹脂を硬化させることで、ICチップ20を収容するコア基板31を形成する(第27図(C))。以降の工程は、第2実施例と同様であるため、説明を省略する。

25 第2実施例では、コア基板に埋設させるICチップの裏面にヒートシンクを取り付けることで、ICチップに発生する熱を逃がす。これにより、コア基板及びコア基板上に形成される層間樹脂絶縁層の反りを防止し、該層間樹脂絶縁層上のバイアホール、導体回路に断線が生じることを無くすることができる。

また、本発明の上記構造により、リード部品を介さずに、ICチップとプリント配線板との接続を取ることができる。そのため、樹脂封止も不要となる。

30 更に、リード部品や封止樹脂に起因する不具合が起きないので、接続性や信頼

性が向上する。そして、ＩＣチップのパッドとプリント配線板の導電層が直接接続されているので、電気特性も向上させることができる。

更に、従来のＩＣチップの実装方法に比べて、ＩＣチップ～基板～外部基板までの配線長も短くできて、ループインダクタンスを低減できる効果もある。

5

[第３実施例]

以下、本発明の第３実施例について図を参照して説明する。

第３図に示すように第３実施例の多層プリント配線板１０は、ＩＣチップ
20を收容するコア基板３０と、層間樹脂絶縁層５０、層間樹脂絶縁層１５０
10とからなる。層間樹脂絶縁層５０には、バイアホール６０および導体回路５８
が形成され、層間樹脂絶縁層１５０には、バイアホール１６０および導体回路
158が形成されている。

層間樹脂絶縁層１５０の上には、ソルダーレジスト層７０が配設されている。
ソルダーレジスト層７０の開口部７１下の導体回路１５８には、図示しないド
15ータボード、マザーボード等の外部基板と接続するための半田バンプ７６が設
けられている。

第３実施例の多層プリント配線板１０では、コア基板３０にＩＣチップ２０
を内蔵させて、該ＩＣチップ２０のパッド２２にはトランジション層を３８を
配設させている。このため、リード部品や封止樹脂を用いず、ＩＣチップと多
20層プリント配線板（パッケージ基板）との電氣的接続を取ることができる。ま
た、ＩＣチップ部分にトランジション層３８が形成されていることから、ＩＣ
チップ部分には平坦化されるので、上層の層間絶縁層５０も平坦化されて、膜
厚みも均一になる。更に、トランジション層によって、上層のバイアホール６
0を形成する際も形状の安定性を保つことができる。

25 更に、ダイパッド２２上に銅製のトランジション層３８を設けることで、パ
ッド２２上の樹脂残りを防ぐことができ、また、後工程の際に酸や酸化剤ある
いはエッチング液に浸漬させたり、種々のアニール工程を経てもパッド２２の
変色、溶解が発生しない。これにより、ＩＣチップのパッドとバイアホールと
の接続性や信頼性を向上させる。更に、 $40\mu\text{m}$ 径パッド２２上に $60\mu\text{m}$ 径
30以上のトランジション層３８を介在させることで、 $60\mu\text{m}$ 径のバイアホール

を確実に接続させることができる。

引き続き、第 33 図を参照して上述した第 3 実施例の多層プリント配線板の製造方法について、第 28 図～第 32 図を参照して説明する。

5 (1) ガラスクロス等の心材に B T (ビスマレイミドトリアジン) 樹脂、エポキシ等の樹脂を含浸させたプリプレグを積層して硬化させた厚さ 0.5 mm の絶縁樹脂基板 30 A を出発材料とする。先ず、絶縁樹脂基板 30 A に I C チップ收容用の通孔 32 を形成する (第 28 図 (A))。ここでは、心材に樹脂を含浸させた樹脂基板 30 A を用いているが、心材を備えない樹脂基板を用いることもできる。

10 (2) その後、絶縁樹脂基板 30 A の通孔 32 に、上述した第 1 実施例の製造方法に係る I C チップ 20 を收容する (第 28 図 (B))。

(3) そして、I C チップ 20 を收容する絶縁樹脂基板 30 A と、同じく、ガラスクロス等の心材にまたは B T、エポキシ等の樹脂を含浸させたプリプレグを積層して硬化させた厚さ 0.2 mm の絶縁樹脂基板 (コア基板) 30 B とを、
15 ガラスクロス等の心材にエポキシ等の樹脂を含浸させた未硬化のプリプレグ 30 C (厚さ 0.1 mm) を介在させて積層する (第 28 図 (C))。ここでは、心材に樹脂を含浸させた樹脂基板 30 B を用いているが、心材を備えない樹脂基板を用いることもできる。また、プリプレグの代わりに、種々の熱硬化性樹脂、又は、熱硬化性樹脂と熱可塑性樹脂とを心材に含浸させたシートを用いる
20 ことができる。

(4) ステンレス (SUS) プレス板 100 A、100 B で、上述した積層体を上下方向から加圧する。この際に、プリプレグ 30 C からエポキシ樹脂 30 α がしみ出し、通孔 32 と I C チップ 20 との間の空間を充填すると共に、I C チップ 20 の上面を覆う。これにより、I C チップ 20 と、絶縁樹脂基板 30 A との上面が完全に平坦になる。 (第 29 図 (A))。このため、後述する
25 工程でビルドアップ層を形成する際に、バイアホール及び配線を適正に形成することができ、多層プリント配線板の配線の信頼性を高めることができる。

(5) この後、加熱して、未硬化のエポキシ樹脂 30 α を硬化させることで I C チップ 20 を收容するコア基板 30 を形成する (第 29 図 (B))。

30 (6) 上記工程を経た基板に、厚さ 50 μ m の熱硬化型エポキシ系樹脂シート

を温度 50～150℃まで昇温しながら圧力 5 kg/cm²で真空圧着ラミネートし、主に熱硬化性樹脂からなる層間樹脂絶縁層 50 を設ける(第 29 図(C))。真空圧着時の真空度は、10 mmHg である。

(7) 次に、波長 10.4 μm の CO₂ ガスレーザにて、ビーム径 5 mm、トップハットモード、パルス幅 5.0 μ秒、マスクの穴径 0.5 mm、1 ショットの条件で、層間樹脂絶縁層 50 に直径 60 μm のバイアホール用開口 48 を設ける(第 30 図(A))。クロム酸や過マンガン酸などの酸化剤を用いて、開口 48 内の樹脂残りを除去する。ダイパッド 22 上に銅製のトランジション層 38 を設けることで、パッド 22 上の樹脂残りを防ぐことができ、これにより、パッド 22 と後述するバイアホール 60 との接続性や信頼性を向上させる。更に、40 μm 径パッド 22 上に 60 μm 以上の径のトランジション層 38 を介在させることで、60 μm 径のバイアホール用開口 48 を確実に接続させることができる。なお、ここでは、酸化剤を用いて樹脂残さを除去したが、酸素プラズマを用いてデスミア処理を行うことも可能である。

(8) 次に、過マンガン酸で層間樹脂絶縁層 50 の表面を粗化し、粗化面 50 α を形成する(第 30 図(B))。

(9) 粗化面 50 α が形成された層間樹脂絶縁層 50 上に無電解めっき膜 52 を設ける(第 30 図(C))。無電解めっきとしては、銅、ニッケルを用いることができる。その厚みとしては、0.3 μm～1.2 μm の範囲がよい。0.3 μm 未満では、層間樹脂絶縁層上に金属膜を形成することができないことがある。1.2 μm を越えると、エッチングによって金属膜が残存してしまい、導体間の短絡を引き起こしやすくなるからである。第 1 実施例と同様のめっき液及びめっき条件でめっき膜を形成させた。

上記以外でも上述したプラズマ処理と同じ装置を用い、Ni-Cu 合金をターゲットにしたスパッタリングを、気圧 0.6 Pa、温度 80℃、電力 200 W、時間 5 分間の条件で行い、Ni-Cu 合金 52 を層間樹脂絶縁層 50 の表面に形成する。このとき、形成された Ni-Cu 合金層 52 の厚さは 0.2 μm である。

(10) 上記処理を終えた基板 30 に、市販の感光性ドライフィルムを貼り付け、フォトマスクフィルムを載置して、100 mJ/cm²で露光した後、0.

- 44 -

8%炭酸ナトリウムで現像処理し、厚さ $20\mu\text{m}$ のめっきレジスト54を設ける。次に、第1実施例と同様の条件で電解めっきを施して、厚さ $15\mu\text{m}$ の電解めっき膜56を形成する(第31図(A))。

5 (11) めっきレジスト54を5%NaOHで剥離除去した後、そのめっきレジスト下のめっき膜層52を硝酸および硫酸と過酸化水素の混合液を用いるエッチングにて溶解除去し、めっき膜層52と電解めっき膜56からなる厚さ $16\mu\text{m}$ の導体回路58及びバイアホール60を形成し、第二銅錯体と有機酸とを含有するエッチング液によって、粗化面 58α 、 60α を形成する(第31図(B))。本実施例では、第29図(A)を参照して上述したように、コア
10 基板30の上面が完全に平滑に形成されているため、バイアホール60によりトランジション層38に適切に接続を取ることができる。このため、多層プリント配線板の信頼性を高めることが可能となる。

(12) 次いで、上記(6)～(11)の工程を、繰り返すことにより、さらに上層の層間樹脂絶縁層150及び導体回路158(バイアホール160を含む)を形成する(第31図(C))。

15 (13) 次に、第1実施例と同様に調整した溶剤レジスト組成物(有機樹脂絶縁材料)を得る。

(14) 次に、基板30に、上記溶剤レジスト組成物を $20\mu\text{m}$ の厚さで塗布し、 70°C で20分間、 70°C で30分間の条件で乾燥処理を行った後、
20 ソル剤レジストレジスト開口部のパターンが描画された厚さ 5mm のフォトマスクを溶剤レジスト層70に密着させて $1000\text{mJ}/\text{cm}^2$ の紫外線で露光し、DMTG溶液で現像処理し、 $200\mu\text{m}$ の直径の開口71を形成する(第32図(A))。

(15) 次に、溶剤レジスト層(有機樹脂絶縁層)70を形成した基板の
25 開口部71に厚さ $5\mu\text{m}$ のニッケルめっき層72を形成する。さらに、ニッケルめっき層72上に厚さ $0.03\mu\text{m}$ の金めっき層74を形成することで、導体回路158に半田パッド75を形成する(第32図(B))。

(16) この後、溶剤レジスト層70の開口部71に、はんだペーストを印刷して、 200°C でリフローすることにより、半田バンプ76を形成する。
30 そして、ダイシング等により分割して個片の多層プリント配線板10を得る(第

32図(C))。第32図(C)中では、図示の便宜より多層プリント配線板を2分割しているところを示しているが、16分割、32分割、64分割等により同時に多数個のICチップ内蔵多層プリント配線板を製造する。

- 5 第3実施例では、第28図(A)～第32図(B)を参照して上述した工程を経て、半導体素子を備える多層プリント配線板を多数個取り用に製造する。そして、第32図(C)に示すように、個片に裁断して個々の多層プリント配線板を得る。このため、上記信頼性の高い多層プリント配線板10を効率的に製造することができる(第33図参照)。

[第3実施例の第1別例]

- 10 次に、第3実施例の別例に係る多層プリント配線板について、第35図を参照して説明する。

- 上述した第3実施例では、BGAを配設した場合で説明した。第1別例では、第3実施例とほぼ同様であるが、第35図に示すように導電性接続ピン96を介して接続を取るPGA方式に構成されている。また、上述した第3実施例で
15 は、バイアホールをレーザで形成したが、第1別例では、フォトリソグラフィによりバイアホールを形成する。

この第1別例に係る多層プリント配線板の製造方法について、第34図を参照して説明する。

- (4) 第3実施例と同様に、(1)～(3)上記工程を経た基板に、厚さ50
20 μm の熱硬化型エポキシ系樹脂50を塗布する(第34図(A))。

(5) 次に、バイアホール形成位置に対応する黒円49aの描かれたフォトマスクフィルム49を層間樹脂絶縁層50に載置し、露光する(第34図(B))。

(6) DMTG液でスプレー現像し、加熱処理を行うことで直径85 μm のバイアホール用開口48を備える層間樹脂絶縁層50を設ける(第34図(C))。

- 25 (7) 過マンガン酸、又は、クロム酸で層間樹脂絶縁層50の表面を粗化し、粗化面50 α を形成する(第34図(D))。以降の工程は、上述した第3実施例と同様であるため、説明を省略する。

[第3実施例の第1改変例]

- 引き続き、上記第1実施例の半導体素子(ICチップ)20を収納する第3
30 実施例の第1改変例に係る多層プリント配線板の構成について説明する。

第33図を参照して上述した第3実施例の多層プリント配線板10では、コア基板内にICチップを埋設させた。これに対して、第1改変例では、第41図に示すように、ICチップ20の裏面にヒートシンク30Dが取り付けられている。該多層プリント配線板10は、該ヒートシンク30Dと、ICチップ20を収容するコア基板31と、ICチップ20上の層間樹脂絶縁層50、層間樹脂絶縁層150とからなる。層間樹脂絶縁層50には、バイアホール60および導体回路58が形成され、層間樹脂絶縁層150には、バイアホール160および導体回路158が形成されている。

層間樹脂絶縁層150の上には、ソルダーレジスト層70が配設されている。ソルダーレジスト層70の開口部71下の導体回路158には、図示しないデータボード、マザーボード等の外部基板と接続するための半田バンプ76が設けられている。

ヒートシンク30Dは、窒化アルミニウム、アルミナ、ムライト等のセラミック、又は、アルミニウム合金、銅、隣青銅等の金属からなる。ここで、熱伝導率の高いアルミニウム合金、又は、両面に粗化处理を施した銅箔を用いることが好適である。本実施形態では、コア基板31に埋設させるICチップ20の裏面にヒートシンク30Dを取り付けることで、ICチップ20に発生する熱を逃がし、コア基板31及びコア基板上に形成される層間樹脂絶縁層50、150の反りを防止し、該層間樹脂絶縁層上のバイアホール60、160、導体回路58、158に断線が生じることを無くす。これにより、配線の信頼性を高める。

なお、ICチップ20は、ヒートシンク30Dに、導電性接着剤29により取り付けられている。導電性接着剤29は、銅、銀、金、アルミニウム等の金属粉を樹脂に含有させてなり、高い熱伝導性を有するため、ICチップ20に発生した熱を効率的にヒートシンク30D側へ逃がすことができる。ここでは、ICチップ20の取り付けに導電性接着剤を用いるが、熱伝導性が高い接着剤であれば、種々の物を用いることができる。

第3実施例の第1改変例の多層プリント配線板10では、コア基板31にICチップ20を内蔵させて、該ICチップ20のパッド22にはトランジション層を38を配設させている。このため、リード部品や封止樹脂を用いず、I

- 47 -

Cチップと多層プリント配線板（パッケージ基板）との電氣的接続を取ることができる。また、ICチップ部分にトランジション層38が形成されていることから、ICチップ部分には平坦化されるので、上層の層間絶縁層50も平坦化されて、膜厚みも均一になる。更に、トランジション層によって、上層のバイアホール60を形成する際も形状の安定性を保つことができる。

更に、ダイパッド22上に銅製のトランジション層38を設けることで、パッド22上の樹脂残りを防ぐことができ、また、後工程の際に酸や酸化剤あるいはエッチング液に浸漬させたり、種々のアニール工程を経てもパッド22の変色、溶解が発生しない。これにより、ICチップのパッドとバイアホールとの接続性や信頼性を向上させる。更に、40 μ m径パッド22上に60 μ m径以上のトランジション層38を介在させることで、60 μ m径のバイアホールを確実に接続させることができる。

引き続き、第41図を参照して上述した第3実施例の第1改変例に係る多層プリント配線板の製造方法について、第36図～第40図を参照して説明する。

(1) 窒化アルミニウム、アルミナ、ムライト等のセラミック、又は、アルミニウム合金、隣青銅等から成る板状のヒートシンク30D（第36図（A））に、導電性接着剤29を塗布する（第36図（B））。導電性接着剤としては、平均粒子径2～5 μ mの銅粒子を含有するペーストを用いて、厚さ10～20 μ mにしたものを用いた。

(2) 第3図（B）を参照して上述した第1～第4の製造方法のICチップ20を載置する（第36図（C））。

(3) 次に、ICチップ20を取り付けたヒートシンク30Dを、ステンレス（SUS）プレス板100Aに載置する。そして、ガラスクロス等の心材にBT（ビスマレイミドトリアジン）樹脂、エポキシ等の樹脂を含浸させた未硬化のプリプレグを積層して成る厚さ0.5mmのプリプレグ積層体31 α をヒートシンク30Dに載置する（第37図（A））。プリプレグ積層体31 α には、予めICチップ20の位置に通孔32を設けておく。ここでは、心材に樹脂を含浸させたプリプレグを用いているが、心材を備えない樹脂基板を用いることもできる。また、プリプレグの代わりに、種々の熱硬化性樹脂、又は、熱硬化性樹脂と熱可塑性樹脂とを心材に含浸させたシートを用いることができる。

- 48 -

(4) ステンレス (SUS) プレス板 100A、100B で、上述した積層体を上下方向から加圧する。この際に、プリプレグ 31 α からエポキシ樹脂 31 β がしみ出し、通孔 32 と IC チップ 20 との間の空間を充填すると共に、IC チップ 20 の上面を覆う。これにより、IC チップ 20 と、プリプレグ積層体 31 α との上面が完全に平坦になる。(第 37 図 (B))。このため、後述する工程でビルドアップ層を形成する際に、バイアホール及び配線を適正に形成することができ、多層プリント配線板の配線の信頼性を高めることができる。

(5) この後、加熱して、プリプレグのエポキシ樹脂を硬化させることで、IC チップ 20 を収容するコア基板 31 を形成する (第 37 図 (C))。

10 (6) 上記工程を経た基板に、厚さ 50 μm の熱硬化型エポキシ系樹脂シートを温度 50 ~ 150 $^{\circ}\text{C}$ まで昇温しながら圧力 5 kg/cm^2 で真空圧着ラミネートし、エポキシ系樹脂からなる層間樹脂絶縁層 50 を設ける (第 38 図 (A))。真空圧着時の真空度は、10 mmHg である。

15 (7) 次に、波長 10.4 μm の CO_2 ガスレーザにて、ビーム径 5 mm 、トップハットモード、パルス幅 5.0 μs 、マスクの穴径 0.5 mm 、1 ショットの条件で、層間樹脂絶縁層 50 に直径 60 μm のバイアホール用開口 48 を設ける (第 38 図 (B))。クロム酸を用いて、開口 48 内の樹脂残りを除去する。ダイパッド 22 上に銅製のトランジション層 38 を設けることで、パッド 22 上の樹脂残りを防ぐことができ、これにより、パッド 22 と後述するバイアホール 60 との接続性や信頼性を向上させる。更に、40 μm 径パッド 22 上に 60 μm 以上の径のトランジション層 38 を介在させることで、60 μm 径のバイアホール用開口 48 を確実に接続させることができる。なお、ここでは、クロム酸を用いて樹脂残さを除去したが、酸素プラズマを用いてデスミア処理を行うことも可能である。

25 (8) 次に、過マンガン酸で層間樹脂絶縁層 50 の表面を粗化し、粗化面 50 α を形成する (第 38 図 (C))。

(9) 粗化面 50 α が形成された層間樹脂絶縁層 50 上に無電解めっき膜 52 を設ける (第 39 図 (A))。無電解めっきとしては、銅、ニッケルを用いることができる。その厚みとしては、0.3 μm ~ 1.2 μm の範囲がよい。0.3 μm 未満では、層間樹脂絶縁層上に金属膜を形成することができないことが

- 49 -

ある。1. $2\mu\text{m}$ を越えると、エッチングによって金属膜が残存してしまい、導体間の短絡を引き起こしやすくなるからである。第1実施例と同様のめっき液及びめっき条件でめっき膜を形成させた。

5 上記以外でも上述したプラズマ処理と同じ装置を用い、Ni-Cu合金をターゲットにしたスパッタリングを行い、Ni-Cu合金52をエポキシ系層間樹脂絶縁層50の表面に形成する。このとき、形成されたNi-Cu合金層52の厚さは0. $2\mu\text{m}$ である。

10 (10) 上記処理を終えた基板30に、市販の感光性ドライフィルムを貼り付け、フォトマスクフィルムを載置して、 $100\text{mJ}/\text{cm}^2$ で露光した後、0.8%炭酸ナトリウムで現像処理し、厚さ $20\mu\text{m}$ のめっきレジスト54を設ける。次に、電解めっきを施して、厚さ $15\mu\text{m}$ の電解めっき膜56を形成する(第39図(B))。

15 (11) めっきレジスト54を5%NaOHで剥離除去した後、そのめっきレジスト下のめっき膜層52を硝酸および硫酸と過酸化水素の混合液を用いるエッチングにて溶解除去し、めっき膜層52と電解めっき膜56からなる厚さ $16\mu\text{m}$ の導体回路58及びバイアホール60を形成し、第二銅錯体と有機酸とを含有するエッチング液によって、粗化面58 α 、60 α を形成する(第39図(C))。第3実施例の第1改変例では、第37図(C)を参照して上述したように、コア基板31の上面が完全に平滑に形成されているため、バイアホール60によりトランジション層38に適切に接続を取ることができる。このため、多層プリント配線板の信頼性を高めることが可能となる。

(12) 次いで、上記(6)～(11)の工程を、繰り返すことにより、さらに上層の層間樹脂絶縁層150及び導体回路158(バイアホール160を含む)を形成する(第40図(A))。

25 (13) 次に、基板30に、第3実施例と同様な溶剤レジスト組成物を $20\mu\text{m}$ の厚さで塗布し、 70°C で20分間、 70°C で30分間の条件で乾燥処理を行った後、溶剤レジストレジスト開口部のパターンが描画された厚さ 5mm のフォトマスクを溶剤レジスト層70に密着させて $1000\text{mJ}/\text{cm}^2$ の紫外線で露光し、DMTG溶液で現像処理し、 $200\mu\text{m}$ の直径の開口
30 71を形成する(第40図(B))。

- 50 -

(14) 次に、ソルダーレジスト層(有機樹脂絶縁層)70を形成した基板を、第3実施例と同様な無電解ニッケルめっき液に20分間浸漬して、開口部71に厚さ5 μ mのニッケルめっき層72を形成する。さらに、その基板を、第3実施例と同様な無電解金めっき液に浸漬して、ニッケルめっき層72上に厚さ0.03 μ mの金めっき層74を形成することで、導体回路158に半田パッド75を形成する(第40図(C))。

(15) この後、ソルダーレジスト層70の開口部71に、はんだペーストを印刷して、200℃でリフローすることにより、半田バンプ76を形成する。最後に、ヒートシンク30Dを、ダイシングなどによって個片に分割して多層プリント配線板10を得る(第41図参照)。

[第3実施例の第1改変例の第1別例]

次に、第3実施例の第1改変例の第1別例に係る多層プリント配線板について、第43図を参照して説明する。

上述した第1改変例では、BGAを配設した場合で説明した。第1別例では、第1改変例とほぼ同様であるが、第43図に示すように導電性接続ピン96を介して接続を取るPGA方式に構成されている。また、上述した第1改変例では、バイアホールをレーザで形成したが、第1別例では、フォトエッチングによりバイアホールを形成する。

この第1別例に係る多層プリント配線板の製造方法について、第42図を参照して説明する。

(4) 第1改変例と同様に、(1)～(3)上記工程を経た基板に、厚さ50 μ mの熱硬化型エポキシ系樹脂50を塗布する(第42図(A))。

(5) 次に、バイアホール形成位置に対応する黒円49aの描かれたフォトマスクフィルム49を層間樹脂絶縁層50に載置し、露光する(第42図(B))。

(6) DMTG液でスプレー現像し、加熱処理を行うことで直径85 μ mのバイアホール用開口48を備える層間樹脂絶縁層50を設ける(第42図(C))。

(7) 過マンガン酸、又は、クロム酸で層間樹脂絶縁層50の表面を粗化し、粗化面50 α を形成する(第42図(D))。以降の工程は、上述した第1改変例と同様であるため、説明を省略する。

[第3実施例の第1改変例の第2別例]

次に、第3実施例の第1改変例の第2別例に係る多層プリント配線板の製造方法について説明する。

上述した第1改変例、第1別例では、プリプレグからコア基板30を形成した。これに対して、第2別例では、プリプレグを硬化してなる樹脂基板をプリ
5 プレグによりヒートシンク30Dに固定する。

この第2別例に係る多層プリント配線板の製造方法について、第44図を参照して説明する。

(1) 両面を粗化した銅箔からなるヒートシンク30Dに導電性接着剤29を介してICチップ20を取り付け、ステンレス(SUS)プレス板100Aに
10 載置する。そして、ガラスクロス等の心材にBT(ビスマレイミドトリアジン)樹脂、エポキシ等の樹脂を含浸させた未硬化のプリプレグ(0.2mm)31 α をヒートシンク30Dに載置する。更に、プリプレグ31 α の上に、上記プリプレグを積層し硬化させた樹脂基板(0.4mm)31 γ を載置する(第44図(A))。プリプレグ31 α 、樹脂基板31 γ には、予めICチップ20の位
15 置に通孔32を設けておく。

(2) ステンレス(SUS)プレス板100A、100Bで、上述した積層体を上下方向から加圧する。この際に、プリプレグ31 α からエポキシ樹脂31 β がしみ出し、通孔32とICチップ20との間の空間を充填すると共に、ICチップ20の上面を覆う。これにより、ICチップ20と、樹脂基板31 γ
20 との上面が完全に平坦になる。(第44図(B))。このため、後述する工程でビルドアップ層を形成する際に、バイアホール及び配線を適正に形成することができ、多層プリント配線板の配線の信頼性を高めることができる。

(3) この後、加熱して、プリプレグのエポキシ樹脂を硬化させることで、ICチップ20を収容するコア基板31を形成する(第44図(C))。以降の
25 工程は、第1改変例と同様であるため、説明を省略する。

[第3実施例の第2改変例]

第2改変例に係る多層プリント配線板の構成について、多層プリント配線板10の断面を示す第50図を参照して説明する。

上述した第1、第1改変例では、ICチップを1個収容した。こてに対して、
30 第50図に示すように第2改変例に係る多層プリント配線板10は、コア基板

- 52 -

30にICチップ(CPU)20A及びICチップ(キャッシュメモリ)20Bを収容する。そして、第3実施例と同様に、コア基板30上に層間樹脂絶縁層50、層間樹脂絶縁層150が形成され、層間樹脂絶縁層50には、バイアホール60および導体回路58が形成され、層間樹脂絶縁層150には、バイアホール160および導体回路158が形成されている。

ICチップ20A、20Bには、パッシベーション膜24が被覆され、該パッシベーション膜24の開口内に入出力端子を構成するダイパッド22が配設されている。アルミニウム製のダイパッド22の上には、トランジション層38が形成されている。該トランジション層38は、第1薄膜層33、第2薄膜層36、厚付け膜37の3層構造からなる。

層間樹脂絶縁層150の上には、ソルダーレジスト層70が配設されている。ソルダーレジスト層70の開口部71下の導体回路158には、図示しないドータボード、マザーボード等の外部基板と接続するための半田バンプ76が設けられている。

第3実施例の第2改変例の多層プリント配線板10では、コア基板30にICチップ20A、20Bを予め内蔵させて、該ICチップ20A、20Bのダイパッド22にはトランジション層を38を配設させている。このため、リード部品や封止樹脂を用いず、ICチップと多層プリント配線板(パッケージ基板)との電氣的接続を取ることができる。また、ICチップ部分にトランジション層38が形成されていることから、ICチップ部分には平坦化されるので、上層の層間絶縁層50も平坦化されて、膜厚みも均一になる。更に、トランジション層によって、上層のバイアホール60を形成する際も形状の安定性を保つことができる。

更に、ダイパッド22上に銅製のトランジション層38を設けることで、ダイパッド22上の樹脂残りを防ぐことができ、また、後工程の際に酸や酸化剤あるいはエッチング液に浸漬させたり、種々のアニール工程を経てもダイパッド22の変色、溶解が発生しない。これにより、ICチップのダイパッドとバイアホールとの接続性や信頼性を向上させる。更に、40 μ m前後の径のダイパッド22上に60 μ m径以上のトランジション層38を介在させることで、60 μ m径のバイアホールを確実に接続させることができる。

第3実施例の第2改変例では、CPU用ICチップ20Aとキャッシュメモリ用ICチップ20Bとを2個別々にプリント配線板に埋め込んである。ICチップは、別々に作成した方が廉価になり、それぞれICチップは近傍の位置にあることから、伝達遅延や誤作動を引き起こすこともない。また、プリント
5 配線板の設計変更があった場合でもICチップ自体の設計変更も要らなく、形成の自由度を高められる。

第3実施例の第2改変例のプリント配線板の凹部32には、接着剤層34が充填されている。該凹部32のICチップ20A、20Bを接合させることができ、ヒートサイクル時やバイアホール形成時の熱履歴を経ても接着剤34が
10 ICチップ20A、20Bの挙動を抑え、平滑性が保たれる。そのために、バイアホールとの接続部分における剥離や断線、もしくは層間絶縁層50、150のクラックを引き起こさない。それに信頼性をも向上させることができる。

引き続き、第50図を参照して上述した第3実施例の第2改変例に係る多層プリント配線板の製造方法について、第45図～第49図を参照して説明する。
15 ここで、上述した第1、第1改変例では、ICチップにトランジション層38を形成してからコア基板に收容した。これに対して、第2改変例では、コア基板にICチップを收容してからトランジション層38を形成する。

(1) 先ず、ガラスクロス等の心材にエポキシ等の樹脂を含浸させたプリプレグを積層した絶縁樹脂基板(コア基板)30を出発材料とする(第45図(A))。
20 次に、コア基板30の片面に、ザグリ加工でICチップ收容用の凹部32を形成する(第45図(B))。ここでは、ザグリ加工により凹部を設けているが、開口を設けた絶縁樹脂基板と開口を設けない樹脂絶縁基板とを張り合わせることで、收容部を備えるコア基板を形成できる。

(2) その後、凹部32に、印刷機を用いて接着材料34を塗布する。このとき、塗布以外にも、ポッティングなどをしてよい。次に、ICチップ20A、20Bを接着材料34上に載置する(第45図(C))。

(3) そして、ICチップ20A、20Bの上面を押す、もしくは叩いて凹部32内に完全に收容させる(第45図(D))。これにより、コア基板30を平滑にすることができる。

30 (4) その後、ICチップ20A、20Bを收容させたコア基板30に蒸着、

スパッタリングなどを行い、全面に導電性の第1薄膜層33を形成させる（第45図（E））。その金属としては、ニッケル、亜鉛、クロム、コバルト、チタン、金、スズ、銅などがよい。特に、ニッケル、クロム、チタンを用いることが、膜形成上と電気特性上でふさわしい。厚みとしては、0.001～2.0 μmの間で形成させるのがよい。クロムの場合には0.1 μmの厚みが望ましい。

第1薄膜層33により、ダイパッド22の被覆を行い、トランジション層とICチップにダイパッド22との界面の密着性を高めることができる。また、これら金属でダイパッド22を被覆することで、界面への湿分の侵入を防ぎ、ダイパッドの溶解、腐食を防止し、信頼性を高めることができる。また、この第1薄膜層33によって、リードのない実装方法によりICチップとの接続を取ることができる。ここで、クロム、チタンを用いることが、界面への湿分の侵入を防ぐために望ましい。

（5）第1薄膜層33上に、スパッタ、蒸着、又は、無電解めっきにより、第2薄膜層36を形成させる（第46図（A））。その金属としてはニッケル、銅、金、銀などがある。電気特性、経済性、また、後程で形成されるビルドアップである導体層は主に銅であることから、銅を用いるとよい。

第2薄膜層を設ける理由は、第1薄膜層では、後述する厚付け層を形成するための電解めっき用のリードを取ることができないためである。第2薄膜層36は、厚付けのリードとして用いられる。その厚みは0.01～5 μmの範囲で行うのがよい。0.01 μm未満では、リードとしての役割を果たし得ず、5 μmを越えると、エッチングの際、下層の第1薄膜層がより多く削れて隙間ができてしまい、湿分が侵入し易くなり、信頼性が低下するからである。最適な厚みは、0.1～3 μmである。

（6）その後、レジストを塗布し、露光、現像してICチップのダイパッドの上部に開口を設けるようにメッキレジスト35を設け、電解めっきを施し、電解めっき膜（厚付け膜）37を設ける（第46図（B））。厚付け膜は、ニッケル、銅、金、銀、亜鉛、鉄で形成することができる。

メッキレジスト35を除去した後、メッキレジスト35下の無電解第2薄膜層36、第1薄膜層33をエッチングで除去することで、ICチップのダイパ

ッド22上にトランジション層38を形成する(第46図(C))。ここでは、メッキレジストによりトランジション層を形成したが、無電解第2薄膜層36の上に電解めっき膜を均一に形成した後、エッチングレジストを形成して、露光、現像してトランジション層以外の部分の金属を露出させてエッチングを行い、ICチップのダイパッド上にトランジション層を形成させることも可能である。電解めっき膜の厚みは1~20 μ mの範囲がよい。それより厚くなると、エッチングの際にアンダーカットが起こってしまい、形成されるトランジション層とバイアホールと界面に隙間が発生することがあるからである。

(7) 次に、基板にエッチング液をスプレーで吹きつけ、トランジション層38の表面をエッチングすることにより粗化面38 α を形成する(第46図(D))。無電解めっきや酸化還元処理を用いて粗化面を形成することもできる。トランジション層38は、第1薄膜層33、第2薄膜層36、厚付け膜37の3層構造からなる。

(8) 上記工程を経た基板に、厚さ50 μ mの熱硬化型エポキシ系樹脂シートを温度50~150 $^{\circ}$ Cまで昇温しながら圧力5kg/cm²で真空圧着ラミネートし、主に熱硬化性樹脂からなる層間樹脂絶縁層50を設ける(第47図(A))。真空圧着時の真空度は、10mmHgである。

(9) 次に、波長10.4 μ mのCO₂ガスレーザにて、ビーム径5mm、トップハットモード、パルス幅5.0 μ 秒、マスクの穴径0.5mm、1ショットの条件で、層間樹脂絶縁層50に直径80 μ mのバイアホール用開口48を設ける(第47図(B))。クロム酸を用いて、開口48内の樹脂残りを除去する。ダイパッド22上に銅製のトランジション層38を設けることで、ダイパッド22上の樹脂残りを防ぐことができ、これにより、ダイパッド22と後述するバイアホール60との接続性や信頼性を向上させる。更に、40 μ m径前後のダイパッド22上に60 μ m以上の径のトランジション層38を介在させることで、60 μ m径のバイアホール用開口48を確実に接続させることができる。なお、ここでは、過マンガン酸を用いて樹脂残さを除去したが、酸素プラズマを用いてデスミア処理を行うことも可能である。なお、ここでは、レーザで開口48を形成しているが、露光・現像処理により開口を形成することも可能である。

(10) 酸あるいは酸化剤を用いて、層間樹脂絶縁層50に粗化面50 α を形成する(第47図(C))。粗面は平均粗度1~5 μ mの範囲で形成させるとよい。

5 (11) 粗化面50 α が形成された層間樹脂絶縁層50上に無電解めっき膜52を設ける(第48図(A))。無電解めっきとしては、銅、ニッケルを用いることができる。その厚みとしては、0.3 μ m~1.2 μ mの範囲がよい。0.3 μ m未満では、層間樹脂絶縁層上に金属膜を形成することができないことがある。1.2 μ mを越えると、エッチングによって金属膜が残存してしまい、導体間の短絡を引き起こしやすくなるからである。第1実施例と同様のめ
10 っき液及びめっき条件でめっき膜を形成させた。

(12) 上記処理を終えた基板30に、市販の感光性ドライフィルムを貼り付け、クロムガラスマスクを載置して、40mJ/cm²で露光した後、0.8%炭酸ナトリウムで現像処理し、厚さ25 μ mのめっきレジスト54を設ける。次に、電解めっきを施して、厚さ18 μ mの電解めっき膜56を形成する(第
15 48図(B))。

(13) めっきレジスト54を5%NaOHで剥離除去した後、そのめっきレジスト下のめっき膜層52を硝酸および硫酸と過酸化水素の混合液を用いるエッチングにて溶解除去し、めっき膜層52と電解めっき膜56からなる厚さ16 μ mの導体回路58及びバイアホール60を形成し、第二銅錯体と有機酸と
20 を含有するエッチング液によって、粗化面58 α 、60 α を形成する(第48図(C))。無電解めっきや酸化還元処理を用いて粗化面を形成することもできる。

(14) 次いで、上記(9)~(13)の工程を、繰り返すことにより、さらに上層の層間樹脂絶縁層150及び導体回路158(バイアホール160を含む)を形成する(第49図(A))。
25

(15) 次に、基板30に、第1実施例と同様な solder レジスト組成物を30 μ mの厚さで塗布し、70℃で20分間、70℃で30分間の条件で乾燥処理を行った後、solder レジストレジスト開口部のパターンが描画された厚さ5mmのフォトマスクをsolder レジスト層70に密着させて1000mJ/cm²の紫外線で露光し、DMTG溶液で現像処理し、開口径460 μ mの開口
30

- 57 -

71を形成する(第49図(B))。

(16) 次に、ソルダーレジスト層(有機樹脂絶縁層)70を形成した基板を、第1施例と同様な無電解ニッケルめっき液に浸漬して、開口部71に厚さ5 μ mのニッケルめっき層72を形成する。さらに、その基板を、第1施例と同様な無電解金めっき液に浸漬して、ニッケルめっき層72上に厚さ0.03 μ mの金めっき層74を形成することで、導体回路158に半田パッド75を形成する(第49図(C))。

(17) この後、ソルダーレジスト層70の開口部71に、はんだペーストを印刷して、200℃でリフローすることにより、半田バンプ76を形成する。その後、ダイシング等により分割して個片のプリント配線板10を得る(第50図参照)。

[第3実施例の第2改変例の第1別例]

引き続き、第3実施例の第1別例に係るプリント配線板について、第51図～第52図を参照して説明する。

第52図は、第1別例のプリント配線板を示している。第1別例のプリント配線板は、第50図を参照して上述した第2改変例のプリント配線板と同様である。但し、上述した第2改変例では、コア基板30にICチップを收容してからトランジション層38を形成した。これに対して、第1別例では、第1実施例と同様にICチップにトランジション層38を形成してからコア基板に收容する。

引き続き、半導体素子(ICチップ)20A、20Bをコア基板の通孔に收容させてなる第52図に示す第1別例に係る多層プリント配線板の製造方法について第51図を参照して説明する。ここで、ICチップ20A、20Bには、上述した第1実施例の製造方法と同様にしてトランジション層38を設けてある。

(1) 先ず、ガラスクロス等の心材にエポキシ等の樹脂を含浸させたプリプレグを積層した絶縁樹脂基板(コア基板)30を出発材料とする(第51図(A))。次に、コア基板30の片面に、ザグリ加工でICチップ收容用の凹部32を形成する(第51図(B))。ここでは、ザグリ加工により凹部を設けているが、開口を設けた絶縁樹脂基板と開口を設けない樹脂絶縁基板とを張り合わせるこ

とで、收容部を備えるコア基板を形成できる。

(2) その後、凹部 32 に、印刷機を用いて接着材料 34 を塗布する。このとき、塗布以外にも、ポッティングなどをしてよい。次に、ICチップ 20A、20B を接着材料 34 上に載置する(第 51 図(C))。

- 5 (3) そして、ICチップ 20A、20B の上面を押す、もしくは叩いて凹部 32 内に完全に收容させる(第 51 図(D))。これにより、コア基板 30 を平滑にすることができる。以降の工程は、第 47 図～第 49 図を参照して上述した第 2 改変例と同様であるため説明を省略する。

- 10 第 3 実施例では、ダイパッド上にトランジション層を設けることで、パッド上の樹脂残りを防ぐことができ、ダイパッドとバイアホールとの接続性や信頼性を向上させる。また、半導体素子を備える多層プリント配線板を多数個取り用に製造する。そして、個片に裁断して個々の多層プリント配線板を得る。このため、信頼性の高い多層プリント配線板を効率的に製造することができる。

- 15 さらに、従来の ICチップの実装方法と比べて、ICチップ～基板～外部基板までの配線長も短縮でき、ループインダクタンスを低減する効果も奏する。

[第 4 実施例]

以下、本発明の第 4 実施例について図を参照して説明する。

- 20 第 57 図に示すように第 4 実施例の多層プリント配線板 10 は、ICチップ 20 を收容するコア基板 30 と、層間樹脂絶縁層 50、層間樹脂絶縁層 150 とからなる。層間樹脂絶縁層 50 には、バイアホール 60 および導体回路 58 が形成され、層間樹脂絶縁層 150 には、バイアホール 160 および導体回路 158 が形成されている。ICチップ 20 の裏面には放熱板 44 が取り付けられている。

- 25 層間樹脂絶縁層 150 の上には、溶剤レジスト層 70 が配設されている。溶剤レジスト層 70 の開口部 71 下の導体回路 158 には、図示しないデータボード、マザーボード等の外部基板と接続するための半田バンプ 76 が設けられている。

- 30 第 1 実施例と同様に ICチップ 20 の上面には、ダイパッド 22 及び配線(図示せず)が配設されており、該ダイパッド 22 及び配線の上に、パッシベシ

- 59 -

ョン膜 24 が被覆され、該ダイパッド 22 には、パッシベーション膜 24 の開口が形成されている。ダイパッド 22 の上には、主として銅からなるトランジション層 38 が形成されている。トランジション層 38 は、薄膜層 33 と電解めっき膜 37 とからなる。

- 5 第 4 実施例の多層プリント配線板 10 では、コア基板 30 に IC チップ 20 を内蔵させて、該 IC チップ 20 のパッド 22 にはトランジション層を 38 を配設させている。このため、リード部品や封止樹脂を用いず、IC チップと多層プリント配線板（パッケージ基板）との電氣的接続を取ることができる。また、IC チップ部分にトランジション層 38 が形成されていることから、IC
- 10 チップ部分には平坦化されるので、上層の層間絶縁層 50 も平坦化されて、膜厚みも均一になる。更に、トランジション層によって、上層のバイアホール 60 を形成する際も形状の安定性を保つことができる。

- 更に、ダイパッド 22 上に銅製のトランジション層 38 を設けることで、パッド 22 上の樹脂残りを防ぐことができ、また、後工程の際に酸や酸化剤あるいはエッチング液に浸漬させたり、種々のアニール工程を経てもパッド 22 の
- 15 変色、溶解が発生しない。これにより、IC チップのパッドとバイアホールとの接続性や信頼性を向上させる。更に、40 μ m 径パッド 22 上に 60 μ m 径以上のトランジション層 38 を介在させることで、60 μ m 径のバイアホールを確実に接続させることができる。

- 20 引き続き、第 4 実施例に係る多層プリント配線板の製造工程について第 53 図～第 56 図を参照して説明する。

- (1) ガラスクロス等の心材に BT (ビスマレイミドトリアジン) 樹脂、エポキシ等の樹脂を含浸させたプリプレグを積層して硬化させた厚さ 0.5 mm のコア基板 30 を出発材料とする。先ず、コア基板 30 に IC チップ收容用の通孔
- 25 32 を形成する (第 53 図 (A))。ここでは、心材に樹脂を含浸させた樹脂基板 30 を用いているが、心材を備えない樹脂基板を用いることもできる。なお、通孔 32 の下端開口部には、テーパ 32a を設けることが好適である。テーパ 32a により、後述する加圧において、IC チップ 20、充填樹脂 41、基板 30 の間に気泡が残ることがなくなり、多層プリント配線板の信頼性を高
- 30 めることができる。

(2) その後、コア基板30の通孔32の底面にUVテープ40を張り付ける(第53図(B))。このUVテープ40としては、リンテック株式会社のAdwill D-201、D-203、D2303DF、D-204、D210、D218等のUV照射により接着面の接着力を失い綺麗に剥がせる接着テープを用いることができる。ここでは、UVテープを用いるが、仮硬化の際に加える80℃以上の高熱でも粘着性が低下しない種々の接着テープ、例えば、ポリイミドテープ等を用いることができる。

(3) コア基板30に形成された通孔32のUVテープ40上に、第3図(B)を参照して上述したICチップ20を、ダイパッド38がUVテープ40の接着面に接するように載置する(第53図(C))。

(4) コア基板30に形成された通孔32内へ充填剤41を充填する(第53図(D))。充填は、印刷、マスク印刷、ポッチング等により行う。この充填剤は、エポキシ樹脂、ポリイミド樹脂などに、イミダゾール系、アミン系、無水酸系などの硬化剤と、フィラー(有機粒子、無機粒子、金属粒子)と、所望により溶剤(ケトン系、トルエン系など)とが配合された粘度0.1~50 Pa・Sの樹脂を好適に用いることができる。充填剤は、熱硬化性樹脂、熱可塑性樹脂、もしくはそれらの複合体を用いることができる。

(5) 充填剤41の充填後、10分程度減圧室で減圧し、充填剤41中の気泡抜きを行う。これにより、充填剤41中に気泡が残ることがなくなり、多層プリント配線板の信頼性を高めることができる。

(6) ステンレス(SUS)プレス板100A、100Bで、上述したコア基板30を上下方向から10分間加圧する(第53図(E))。その後、加圧を続けながら、70℃~120°で30分程度加熱し、充填剤41を仮硬化させる。加圧、加圧及び/又は仮硬化は、減圧下で行うことが好適である。減圧することで、ICチップ20、コア基板30、充填剤41の間、及び、充填剤41中に気泡が残ることがなくなり、多層プリント配線板の信頼性を高めることができる。この加圧の際にダイパッド38には、UVテープ40を緩衝材として圧力が加わるため、ダイパッド38を損傷することがない。

(7) 充填剤41を仮硬化させたコア基板30のUVテープ40を、VU照射して粘着力を失わせてから剥がす(第54図(A))。第4実施例では、UV

テープ40を用いるため、ICチップのダイパッド38上に接着剤が残る事無く、また、ダイパッド39を傷つけることなく綺麗に剥がすことができる。このため、後工程でダイパッド38に適正にバイアホール60を接続させることができる。

- 5 (8) その後、ICチップ20の裏面側の充填剤41及びコア基板30を、ベルト研磨紙（三共理化学社製）を用いたベルトサンダー研磨により研磨し、ICチップの裏面側を露出させる（第54図（B））。第4実施例では、充填剤41を仮硬化した状態で研磨するため、容易に研磨を行うことができる。

- 10 (9) この後、更に加熱して、充填材41を本硬化させることでICチップ20を収容するコア基板30を形成する。この本硬化は、減圧下で行うことが好適である。減圧することで、充填剤41中に気泡や残ることがなくなり、溝が形成されない。また、多層プリント配線板の信頼性や平坦性を高めることができる。

- 15 (10) ICチップ20の裏面側に、熱伝導性接着剤（例えば金属粒子を含む樹脂）42を介して放熱板44を取り付ける（第54図（C））。放熱板としては、アルミニウム、銅等の金属板、セラミック板を用いることができる。第4実施例では、コア基板30の底部側を研磨し、ICチップ20の底部を露出させるため、ICチップの底部に放熱板44を取り付けることが可能になり、ICチップ20の動作の安定性を向上させることができる。

- 20 (11) 上記工程を経たICチップの表面側に、厚さ50 μ mの熱硬化型樹脂シートを温度50～150℃まで昇温しながら圧力5kg/cm²で真空圧着ラミネートし、層間樹脂絶縁層50を設ける（第54図（D））。真空圧着時の真空度は、10mmHgである。

- 25 (12) 次に、波長10.4 μ mのCO²ガスレーザにて、ビーム径5mm、トップハットモード、パルス幅5.0 μ 秒、マスクの穴径0.5mm、1ショットの条件で、層間樹脂絶縁層50に直径60 μ mのバイアホール用開口48を設ける（第54図（B））。クロム酸や過マンガン酸などの酸化剤を用いて、開口48内の樹脂残りを除去する。ダイパッド22上に銅製のトランジション層38を設けることで、パッド22上の樹脂残りを防ぐことができ、これにより、パッド22と後述するバイアホール60との接続性や信頼性を向上させる。
- 30

- 62 -

更に、 $40\mu\text{m}$ 径パッド22上に $60\mu\text{m}$ 以上の径のトランジション層38を介在させることで、 $60\mu\text{m}$ 径のバイアホール用開口48を確実に接続させることができる。なお、ここでは、酸化剤を用いて樹脂残さを除去したが、酸素プラズマを用いてデスミア処理を行うことも可能である。

- 5 (13) 次に、次に、クロム酸、過マンガン酸塩などの酸化剤等に浸漬させることによって、層間樹脂絶縁層50の粗化面50 α を設ける(第55図(A))。該粗化面50 α は、 $0.1\sim 5\mu\text{m}$ の範囲で形成されることがよい。その一例として、過マンガン酸ナトリウム溶液 $50\text{g}/1$ 、温度 60°C 中に $5\sim 25$ 分間浸漬させることによって、 $2\sim 3\mu\text{m}$ の粗化面50 α を設ける。上記以外に
- 10 は、プラズマ処理を行い層間樹脂絶縁層50の表面に粗化面50 α を形成することもできる。

- (14) 粗化面50 α が形成された層間樹脂絶縁層50上に、金属層52を設ける(第55図(B))。金属層52は、無電解めっきによって形成させる。予め層間樹脂絶縁層50の表層にパラジウムなどの触媒を付与させて、第1実
- 15 施例と同様に無電解めっき液に $5\sim 60$ 分間浸漬させることにより、 $0.1\sim 5\mu\text{m}$ の範囲でめっき膜である金属層52を設ける。

上記以外でも上述したプラズマ処理と同じ装置を用いNi/Cu金属層52を層間樹脂絶縁層50の表面に形成することもできる。

- (15) 上記処理を終えた基板30に、市販の感光性ドライフィルムを貼り付け、フォトリソグラフィフィルムを載置して、 $100\text{mJ}/\text{cm}^2$ で露光した後、 0.8% 炭酸ナトリウムで現像処理し、厚さ $15\mu\text{m}$ のめっきレジスト54を設ける。次に、第1実施例と同様の条件で電解めっきを施して、厚さ $15\mu\text{m}$ の電
- 20 解めっき膜56を形成する(第55図(C))。

- (16) めっきレジスト54を $5\%\text{NaOH}$ で剥離除去した後、そのめっきレジスト下の金属層52を硝酸および硫酸と過酸化水素の混合液を用いるエッチングにて溶解除去し、金属層52と電解めっき膜56からなる厚さ $16\mu\text{m}$ の
- 25 導体回路58及びバイアホール60を形成し、第二銅錯体と有機酸とを含有するエッチング液によって、粗化面58 α 、60 α を形成する(第55図(D))。第4実施例では、第53図(E)を参照して上述したように、コア基板30の
- 30 上面が完全に平滑に形成されているため、バイアホール60によりトランジシ

- 63 -

ョン層 38 に適切に接続を取ることができる。このため、多層プリント配線板の信頼性を高めることが可能となる。

(17) 次いで、上記 (11) ~ (16) の工程を、繰り返すことにより、さらに上層の層間樹脂絶縁層 150 及び導体回路 158 (バイアホール 160 を含む) を形成する (第 56 図 (A))。

(18) 次に、第 1 実施例と同様に調整した溶剤レジスト組成物 (有機樹脂絶縁材料) を得る。

(19) 次に、基板 30 に、上記溶剤レジスト組成物を $20\ \mu\text{m}$ の厚さで塗布し、 70°C で 20 分間、 70°C で 30 分間の条件で乾燥処理を行った後、
10 ソル剤レジストレジスト開口部のパターンが描画された厚さ 5 mm のフォトマスクを溶剤レジスト層 70 に密着させて $1000\ \text{mJ}/\text{cm}^2$ の紫外線で露光し、DMTG 溶液で現像処理し、 $200\ \mu\text{m}$ の直径の開口 71 を形成する (第 56 図 (B))。

(20) 次に、溶剤レジスト層 (有機樹脂絶縁層) 70 を形成した基板の
15 開口部 71 に厚さ $5\ \mu\text{m}$ のニッケルめっき層 72 を形成する。さらに、ニッケルめっき層 72 上に厚さ $0.03\ \mu\text{m}$ の金めっき層 74 を形成することで、導体回路 158 に半田パッド 75 を形成する (第 56 図 (C))。

(21) この後、溶剤レジスト層 70 の開口部 71 に、はんだペーストを印刷して、 200°C でリフローすることにより、半田バンプ 76 を形成する。
20 これにより、IC チップ 20 を内蔵し、半田バンプ 76 を有する多層プリント配線板 10 を得ることができる (第 57 図参照)。

第 4 実施例では、IC チップ 20 をダイパッ 38 が UV テープ 40 に接するように載置して、該 UV テープ 40 を剥がしてから、IC チップ 20 にビルドアップ層を形成する。このため、IC チップとビルドアップ層のバイアホール
25 60 とを適切に電気接続させることができ、信頼性の高い半導体素子内蔵多層プリント配線板を製造することが可能となる。

以上記述したように第 4 実施例では、コア基板の通孔の底部のシートに、端子がシートに接するように半導体素子を載置し、該通孔内に樹脂を充填してから、シートを剥がし、ビルドアップ層を形成する。即ち、半導体素子を端子が
30 シートに接するように載置して、該シートを剥がしてから、半導体素子にビル

ドアップ層を形成するので、端子とビルドアップ層の配線とを適切に電気接続させることができ、信頼性の高い半導体素子内蔵多層プリント配線板を製造することが可能となる。

5 〔第 5 実施例〕

以下本発明の第 5 実施例について説明する。

第 5 実施例に係る多層プリント配線板の構成について、多層プリント配線板 10 の断面を示す第 6 3 図を参照して説明する。

10 第 6 3 図に示すように多層プリント配線板 10 は、IC チップ 20 を収容するコア基板 30 と、層間樹脂絶縁層 50、層間樹脂絶縁層 150、層間樹脂絶縁層 250 とからなる。層間樹脂絶縁層 50 には、バイアホール 60 および導体回路 58 が形成され、層間樹脂絶縁層 150 には、バイアホール 160 および導体回路 158 が形成され、層間樹脂絶縁層 250 には、バイアホール 260 および導体回路 258 が形成されている。

15 層間樹脂絶縁層 250 の上には、溶剤レジスト層 70 が配設されている。溶剤レジスト層 70 の開口部 71 下の導体回路 258 には、図示しないデータボード、マザーボード等の外部基板と接続するための BGA 76 が設けられている。BGA 76 は、IC チップ 20 の直上の領域 R1 以外の領域 R2 に配設されている。

20 IC チップ 20 には、IC チップ 20 を保護するパッシベーション膜 24 が被覆され、該パッシベーション膜 24 の開口内に入出力端子を構成するダイパッド 22 が配設されている。パッド 22 の上には、主として銅からなるトランジション層 38 が形成されている。

25 IC チップ 20 と、基板 30 の凹部 32 内との間には、樹脂材料である接着材料 34 が充填されている。接着材料 34 によって、IC チップ 20 は基板 30 の凹部内で固定されている。この樹脂充填材料 34 は、熱膨張によって発生した応力を緩和するため、コア基板 30 のクラック、層間樹脂絶縁層 50、150、250 及び溶剤レジスト層 70 のうねりを防止することが可能となる。このため、BGA 76 の周囲などに発生する剥離、クラックを防止できる。

30 したがって、半田パンプ 76 の脱落や位置ずれを防止できるため、電氣的接続

性や信頼性を向上させることが可能となる。

第63図中の多層プリント配線板10のE-E断面を第65図に示す。第65図の点線で示される内側の領域は、ICチップ20が内蔵されている領域R1である。第65図の点線の外側から実線の内側の領域は、ICチップ20が内蔵されていない領域R2である。導体回路258は、放射線状に領域R1から領域R2へ広がるように形成されている。BGA76と接続するための半田パッド75は、領域R2内でグリッド状に配置されている。

第66図(A)は、第63図中の多層プリント配線板10の平面図を示している。BGA76は、領域R2内でグリッド状に配置されて、図示しないデータボード、マザーボード等の外部基板と接続される。なお、BGA76は、第66図(B)に示すように領域R2内で千鳥状に形成されてもよい。

第5実施例の多層プリント配線板では、ICチップ20が内蔵されていない基板上の領域R2にBGA76を配設する。

つまり、ICチップ20の直上外の領域R2にBGA76を配設することによって、セラミックから成り熱膨張係数の小さなICチップ20と、樹脂から成る熱膨張係数の大きな層間絶縁層50、150、250およびソルダーレジスト層70との熱膨張による影響を小さくできるため、BGA76の周囲などに発生する剥離、クラックを防止できる。したがって、半田パンプ76の脱落や位置ずれを防止して、電氣的接続性や信頼性を向上させることが可能となる。

また、本実施例の多層プリント配線板10では、コア基板30にICチップ20を内蔵させて、該ICチップ20のパッド22にはトランジション層38を配設させている。このため、リード部品や封止樹脂を用いず、ICチップと多層プリント配線板(パッケージ基板)との電氣的接続を取ることができる。また、ICチップ部分にトランジション層38が形成されていることから、ICチップ部分には平坦化されるので、上層の層間絶縁層50も平坦化されて、膜厚みも均一になる。更に、トランジション層によって、上層のバイアホール60を形成する際も形状の安定性を保つことができる。

更に、ダイパッド22上に銅製のトランジション層38を設けることで、パッド22上の樹脂残りを防ぐことができ、また、後工程の際に酸や酸化剤あるいはエッチング液に浸漬させたり、種々のアニール工程を経てもパッド22の

変色、溶解が発生しない。これにより、ICチップのパッドとバイアホールとの接続性や信頼性を向上させる。更に、 $40\mu\text{m}$ 径パッド22上に $60\mu\text{m}$ 径以上のトランジション層38を介在させることで、 $60\mu\text{m}$ 径のバイアホールを確実に接続させることができる。

- 5 引き続き、第63図を参照して上述した第5実施例の多層プリント配線板の製造方法について、第58図～第62図を参照して説明する。

- 10 (1) 先ず、ガラスクロス等の心材にエポキシ等の樹脂を含浸させたプリプレグを積層した絶縁樹脂基板(コア基板)30を出発材料として用意する(第58図(A))。次に、コア基板30の片面に、ザグリ加工でICチップ收容用の凹部32を形成する(第58図(B))。ここでは、ザグリ加工により凹部を設けているが、開口を設けた絶縁樹脂基板と開口を設けない樹脂絶縁基板とを張り合わせることで、收容部を備えるコア基板を形成できる。

- 15 ICチップなどの電子部品を内蔵させる樹脂製基板としては、エポキシ樹脂、BT樹脂、フェノール樹脂などにガラスエポキシ樹脂などの補強材や心材を含浸させた樹脂、エポキシ樹脂を含浸させたプリプレグを積層させたものなどが用いられるが、一般的にプリント配線板で使用するものを用いることができる。それ以外にも両面銅張積層板、片面板、金属膜を有しない樹脂板、樹脂フィルムを用いることができる。ただし、 350°C 以上の温度を加えると樹脂は、溶解、炭化をしてしまう。

- 20 (2) その後、凹部32に、印刷機を用いて接着材料34を塗布する。このとき、塗布以外にも、ポッティングなどをしてよい。次に、第1実施例の製造方法に係るICチップ20を接着材料34上に載置する(第58図(C))。接着材料34は、コア基板30よりも熱膨張係数の大きな樹脂を用いる。これにより、ICチップ20とコア基板30との熱膨張差を吸収させる。

- 25 (3) そして、ICチップ20の上面を押す、もしくは叩いて凹部32内に完全に收容させる(第58図(D))。これにより、コア基板30を平滑にすることができる。この際に、接着材料34がICチップ20の上面にかかることがあるが、後述するようにICチップ20の上面の樹脂層を設けてからレーザーでバイアホール用の開口を設けるため、トランジション層とバイアホールとの
30 接続に影響を与えることがない。

- 67 -

(4) 上記工程を経た基板 30 に、厚さ $50\ \mu\text{m}$ の熱硬化型樹脂シートを温度 $50\sim 150^\circ\text{C}$ まで昇温しながら圧力 $5\ \text{kg}/\text{cm}^2$ で真空圧着ラミネートし、層間樹脂絶縁層 50 を設ける (第 59 図 (A))。真空圧着時の真空度は、 $10\ \text{mmHg}$ である。

5 また、層間樹脂絶縁層 50 は、上述したように、半硬化状態にした樹脂をフィルム状にして加熱圧着する代わりに、予め粘度を調整した樹脂組成物を、ロールコータやカーテンコータなどによって塗布することで形成することもできる。

10 (5) 次に、波長 $10.4\ \mu\text{m}$ の CO_2 ガスレーザにて、ビーム径 $5\ \text{mm}$ 、トップハットモード、パルス幅 $5.0\ \mu\text{s}$ 、マスクの穴径 $0.5\ \text{mm}$ 、1 ショットの条件で、層間樹脂絶縁層 50 に直径 $60\ \mu\text{m}$ のバイアホール用開口 48 を設ける (第 59 図 (B))。 60°C の過マンガン酸を用いて、開口 48 内の樹脂残りを除去する。ダイパッド 22 上に銅製のトランジション層 38 を設けることで、パッド 22 上の樹脂残りを防ぐことができ、これにより、パッド 22

15 と後述するバイアホール 60 との接続性や信頼性を向上させる。更に、 $4.0\ \mu\text{m}$ 径パッド 22 上に $60\ \mu\text{m}$ 以上の径のトランジション層 38 を介在させることで、 $60\ \mu\text{m}$ 径のバイアホール用開口 48 を確実に接続させることができる。なお、ここでは、過マンガン酸を用いて樹脂残さを除去したが、酸素プラズマを用いてデスマア処理を行うことも可能である。

20 (6) 次に、クロム酸、過マンガン酸塩などの酸化剤等に浸漬させることによって、層間樹脂絶縁層 50 の粗化面 50α を設ける (第 59 図 (C))。該粗化面 50α は、 $0.05\sim 5\ \mu\text{m}$ の範囲で形成されることがよい。その一例として、過マンガン酸ナトリウム溶液 $50\ \text{g}/1$ 、温度 60°C 中に $5\sim 25$ 分間浸漬させることによって、 $2\sim 3\ \mu\text{m}$ の粗化面 50α を設ける。上記以外には、

25 プラズマ処理を行い、層間樹脂絶縁層 50 の表面に粗化面 50α を形成することもできる。

30 (7) 粗化面 50α が形成された層間樹脂絶縁層 50 上に、金属層 52 を設ける (第 60 図 (A))。金属層 52 は、無電解めっきによって形成させる。予め層間樹脂絶縁層 50 の表層にパラジウムなどの触媒を付与させて、第 1 実施例と同様に無電解めっき液に $5\sim 60$ 分間浸漬させることにより、 $0.1\sim 5$

μm の範囲でめっき膜である金属層52を設ける。

上記以外でも上述したプラズマ処理と同じ装置を用いNi/Cu金属層52を層間樹脂絶縁層50の表面に形成することもできる。また、スパッタの代わりに、蒸着、電着等で金属膜を形成することもできる。更に、スパッタ、蒸着、
5 電着などの物理的な方法で薄付け層を形成した後、無電解めっきを施すことも可能である。

(8)上記処理を終えた基板30に、市販の感光性ドライフィルムを貼り付け、フォトリソグラフィフィルムを載置して、 $100\text{mJ}/\text{cm}^2$ で露光した後、0.8%炭酸ナトリウムで現像処理し、厚さ $15\mu\text{m}$ のめっきレジスト54を設ける(第
10 60図(B))。次に、第1実施例の同様の条件で電解めっきを施して、厚さ $15\mu\text{m}$ の電解めっき膜56を形成する(第60図(C))。

(9)めっきレジスト54を5%NaOHで剥離除去した後、そのめっきレジスト下の金属層52を硝酸および硫酸と過酸化水素の混合液を用いるエッチングにて溶解除去し、金属層52と電解めっき膜56からなる厚さ $16\mu\text{m}$ の導
15 体回路58及びバイアホール60を形成する(第61図(A))。エッチング液としては、塩化第二銅、塩化第二鉄、過酸塩類、過酸化水素/硫酸、アルカリチャントなどを用いることができる。続いて、第二銅錯体と有機酸とを含有するエッチング液によって、粗化面 58α 、 60α を形成する(第61図(B))。

(10)次いで、上記(7)～(12)の工程を、繰り返すことにより、層間樹脂絶縁層50の上層に層間樹脂絶縁層150及び導体回路158(バイアホール160を含む)を、更に、層間樹脂絶縁層250及び導体回路258(バイアホール260を含む)を形成する(第61図(C))。

(11)次に、第1実施例と同様に調整した溶剤レジスト組成物を得る。

(12)次に、基板30に、上記溶剤レジスト組成物を $20\mu\text{m}$ の厚さで
25 塗布し、乾燥処理を行った後、フォトリソグラフィを溶剤レジスト層70に密着させて露光し、現像処理し、 $200\mu\text{m}$ の直径の開口71を形成する(第62図(A))。

(13)次に、溶剤レジスト層(有機樹脂絶縁層)70を形成した基板の開口部71に厚さ $5\mu\text{m}$ のニッケルめっき層72を形成する。さらに、ニッケルめっき層72上に厚さ $0.03\mu\text{m}$ の金めっき層74を形成することで、導
30

体回路 2 5 8 に半田パッド 7 5 を形成する (第 6 2 図 (B))。

- (14) この後、ソルダーレジスト層 7 0 の開口部 7 1 に、半田ペーストを印刷する。この半田ペーストには、 Sn/Pb 、 Sn/Sb 、 Sn/Ag 、 Sn/Ag/Cu などを用いることができる。また、低 α 線タイプの半田ペーストを用いてもよい。続いて、200℃でリフローすることにより、BGA 7 6 を IC チップ 2 0 が内蔵されていない領域 R 2 内にグリッド状 (または千鳥状) になるように配設する (第 6 3 図、第 6 6 図 (A)、(B))。これにより、IC チップ 2 0 を内蔵し、BGA 7 6 を有する多層プリント配線板 1 0 を得ることができる (第 6 3 図参照)。なお、IC チップ 2 0 は、基板 3 0 の中央部分ではなく、偏った位置に配設してもよい。第 6 3 図では、BGA を外部接続端子として配設しているが、第 6 4 図に示すように外部接続端子として PGA 9 6 を取り付ける場合にも、IC チップ 2 0 が内蔵されていない領域 R 2 内に配置することが望ましい。

[第 5 実施例の別例]

- 15 第 5 実施例の別例に係る多層プリント配線板について説明する。上述した第 5 実施例では、層間樹脂絶縁層にバイアホールを形成する際、レーザを用いて行った。これに対して、改変例では、露光することによってバイアホールを形成する。この別例に係る多層プリント配線板の製造方法について、第 6 7 図を参照して説明する。

- 20 (4) 第 5 実施例と同様に、上記 (1) ~ (3) の工程を経た基板 3 0 に、厚さ 50 μm の熱硬化型エポキシ系樹脂 5 1 を塗布する (第 6 7 図 (A))。

- (5) 次に、バイアホール形成位置に対応する黒円の描かれたフォトマスクフィルム (図示せず) を層間樹脂絶縁層 5 0 に載置して、露光を行う。続いて、DMTG 液でスプレー現像して、加熱処理を行うことによって直径 85 μm のバイアホール用開口 4 8 を設ける (第 6 7 図 (B))。

- 25 (6) 過マンガン酸、または、クロム酸で層間樹脂絶縁層 5 0 の表面を粗化して、粗化面 5 0 α を形成する (第 6 7 図 (C))。粗化面 5 0 α は、0.05 ~ 5 μm の範囲で形成されることが望ましい。以降の工程は、上述した第 5 実施例の (7) ~ (14) と同様の工程であるため説明を省略する。

- 30 [第 5 実施例の第 1 改変例]

引き続き、第1改変例の多層プリント配線板の製造方法について、第68図～第70図を参照して説明する。上述した第5実施例では、ICチップ20にトランジション層38を形成してからコア基板30に搭載した。これに対して、第1改変例では、ICチップをコア基板に搭載してからトランジション層を形成する。

(1) 先ず、ガラスクロス等の心材にエポキシ等の樹脂を含浸させたプリプレグを積層した絶縁樹脂基板（コア基板）30を出発材料として用意する（第68図（A））。次に、コア基板30の片面に、ザグリ加工でICチップ收容用の凹部32を形成する（第68図（B））。

(2) その後、凹部32に、印刷機を用いて接着材料34を塗布する。このとき、塗布以外にも、ポッティングなどをしてよい。次に、ICチップ20を接着材料34上に載置する（第68図（C））。

(3) そして、ICチップ20の上面を押す、もしくは叩いて凹部32内に完全に收容させる（第69図（A））。これにより、コア基板30を平滑にすることができる。

(4) その後、ICチップ20を收容させたコア基板30の全面に蒸着、スパッタリングなどの物理的な蒸着を行い、全面に導電性の金属膜33を形成させる（第69図（B））。その金属としては、スズ、クロム、チタン、ニッケル、亜鉛、コバルト、金、銅などの金属を1層以上形成させるものがよい。厚みとしては、0.001～2.0 μm の間で形成させるのがよい。特に、0.01～1.0 μm が望ましい。

金属膜33上に、無電解めっきにより、めっき膜36を形成させてもよい（第69図（C））。形成されるメッキの種類としては銅、ニッケル、金、銀、亜鉛、鉄などがある。電気特性、経済性、また、後程で形成されるビルドアップである導体層は主に銅であることから、銅を用いるとよい。その厚みは1～20 μm の範囲で行うのがよい。

(5) その後、レジストを塗布し、露光、現像してICチップ20のパッド22の上部に開口を設けるようにメッキレジスト35を設け、無電解メッキを施して無電解めっき膜37を設ける（第70図（A））。メッキレジスト35を除去した後、メッキレジスト35下の無電解めっき膜36、金属膜33を除去

することで、I Cチップのパッド22上にトランジション層38を形成する(第70図(B))。ここでは、メッキレジストによりトランジション層を形成したが、無電解めっき膜36の上に電解めっき膜を均一に形成した後、エッチングレジストを形成して、露光、現像してトランジション層38以外の部分の金属を露出させてエッチングを行い、I Cチップ20のパッド22上にトランジション層38を形成させることも可能である。この場合、電解めっき膜の厚みは1~20 μ mの範囲がよい。それより厚くなると、エッチングの際にアンダーカットが起こってしまい、形成されるトランジション層とバイアホールと界面に隙間が発生することがあるからである。

- 10 (6) 次に、基板30にエッチング液をスプレーで吹きつけ、トランジション層38の表面をエッチングすることにより粗化面38 α を形成する(第70図(C))。以降の工程は第5実施例と同様であるため説明を省略する。

[比較例3]

- 15 比較例3に係る多層プリント配線板について説明する。上述した第5実施例では、I Cチップの直上外の領域R2内にBGA76を配置させた。これに対して比較例3は、第66図(C)に示すようにソルダーレジスト層上に均一にBGA76が配置されている。つまり、領域R1と、領域R2とを区別せずに、ソルダーレジスト層全面にBGA76をグリッド状(フルグリッド状)に形成されている。

- 20 第5実施例に係る多層プリント配線板と、比較例3の多層プリント配線板とのそれぞれを外部基板と接続させた後、電気接続させて以下の項目の評価を行った。

- ①外部基板との実装後のクラックや剥離の有無
- ②BGAの不具合の有無
- 25 ③信頼性試験後の外部基板との実装後のクラックや剥離の有無
- ④信頼性試験後のBGAの不具合の有無
- ⑤接触抵抗の測定

- 30 第5実施例に係る多層プリント配線板では、好適な結果が得られたが、比較例3では、BGAの周辺におけるクラックや剥離などが発見された。また、接触抵抗の上昇も確認された。第64図に示すように、BGAの代わりにPGA

を用いた場合にも同様の結果が得られた。

以上記述したように第5実施例では、多層プリント配線板の半導体素子が内蔵された基板上の領域と、半導体素子が内蔵されていない基板上の領域とを区別する。そして、半導体素子が内蔵されていない基板上の領域に外部接続端子

- 5 (BGA/PGA)を配設する。つまり、半導体素子の内蔵されていない基板上の領域に外部接続端子(BGA/PGA)を配設することによって、熱膨張による影響を小さくできるため、外部接続端子(BGA/PGA)の周囲などに発生する剥離、クラックを防止できる。したがって、外部接続端子(BGA/PGA)の脱落や位置ずれを防止して、電氣的接続性や信頼性を向上させる
- 10 ことが可能となる。

請求の範囲

1. 基板上に層間絶縁層と導体層とが繰り返し形成され、該層間絶縁層には、バイアホールが形成され、該バイアホールを介して電氣的接続される多層プリント配線板において、
- 5 前記基板には、電子部品が内蔵されていることを特徴とする多層プリント配線板。
 2. 表面に電子部品が実装されていることを特徴とする請求項 1 に記載の多層プリント配線板。
 3. 前記基板には、外部基板と接続する端子が配設されていることを特徴とする請求項 1 または 2 に記載の多層プリント配線板。
- 10 4. 基板上に層間絶縁層と導体層とが繰り返し形成され、該層間絶縁層には、バイアホールが形成され、該バイアホールを介して電氣的接続される多層プリント配線板において、
前記基板には、電子部品が内蔵され、
- 15 前記該電子部品のパッド部分には、最下層の層間絶縁層のバイアホールと接続するためのトラジション層が形成されていることを特徴とする多層プリント配線板。
 5. 前記基板は、パッケージ基板であることを特徴とする請求項 1 ～請求項 4 に記載の多層プリント配線板。
- 20 6. 半導体素子が形成されたウェハーにおいて、
前記半導体素子のダイパッド上に、トランジション層が形成された半導体素子。
7. 半導体素子が形成されたウェハーにおいて、
前記半導体素子のダイパッド上に、トランジション層が形成され、該トラン
- 25 ジション層は、少なくとも 2 層以上である半導体素子。
8. 前記トランジション層の最下層は、スズ、クロム、チタン、ニッケル、亜鉛、コバルト、金、銅のいずれかから、選ばれる少なくとも 1 種類以上で積層される請求項 6 または請求項 7 に記載の半導体素子。
9. 前記トランジション層の最上層は、ニッケル、銅、金、銀、亜鉛、鉄の中
- 30 中から選ばれる請求項 6 ～請求項 8 のいずれか 1 に記載の半導体素子。

- 74 -

- 1 0. 半導体素子が形成されたウエハーにおいて、
前記半導体素子のダイパッド上に、トランジション層が形成され、該トランジション層は、第1薄膜層、第2薄膜層、厚付け層で形成されている半導体素子。
- 5 1 1. 前記トランジション層の第1薄膜層は、スズ、クロム、チタン、ニッケル、亜鉛、コバルト、金、銅のいずれかから、選ばれる少なくとも1種類以上で積層される請求項6または請求項7に記載の半導体素子。
1 2. 前記トランジション層の第2薄膜層は、ニッケル、銅、金、銀の中から選ばれる請求項6～請求項9のいずれか1に記載の半導体素子。
- 10 1 3. 請求項6～請求項12の前記半導体素子をプリント配線板に收容、収納、又は、埋め込み、その上に、ビルドアップ工程を経て形成される半導体素子を内蔵する多層プリント配線板の製造方法。
1 4. 少なくとも(a)～(f)を経て、トランジション層が形成される半導体素子の製造方法：
- 15 (a) ウエハーに配線、ダイパッドを形成する工程；
(b) 前記(a)工程で得られたウエハー上の全面に薄膜層を形成する工程；
(c) 前記薄膜層上に、レジスト層を形成し、レジスト層の非形成部に厚付け層を形成する工程；
(d) レジスト層を剥離する工程；
- 20 (e) エッチングにより薄膜層を除去する工程；
(f) 前記ウエハーを分割して半導体素子を形成する工程。
- 1 5. 少なくとも(a)～(f)を経て、トランジション層が形成される半導体素子の製造方法：
- (a) ウエハーに配線、ダイパッドを形成する工程；
- 25 (b) 前記(a)工程で得られたウエハー上の全面に第1薄膜層、第2薄膜層を形成する工程；
(c) 前記薄膜層上に、レジスト層を形成し、レジスト層の非形成部に厚付け層を形成する工程；
(d) レジスト層を剥離する工程；
- 30 (e) エッチングにより前記第1、第2薄膜層を除去する工程；

- 75 -

(f) 前記ウエハーを分割して半導体素子を形成する工程。

16. 少なくとも(a)～(f)を経て、トランジション層が形成される半導体素子の製造方法：

(a) ウエハーに配線、ダイパッドを形成する工程；

5 (b) 前記(a)工程で得られたウエハー上の全面に薄膜層を形成する工程；

(c) 前記薄膜層上に、全面に厚付け層を形成し、該厚付け層上にレジストを形成する工程；

(d) エッチングにより、レジストの非形成部の厚付け層を除去する工程；

(e) レジスト層を剥離する工程；

10 (f) 前記ウエハーを分割して半導体素子を形成する工程。

17. 少なくとも(a)～(f)を経て、トランジション層が形成される半導体素子の製造方法：

(a) ウエハーに配線、ダイパッドを形成する工程；

15 (b) 前記(a)工程で得られたウエハー上の全面に第1薄膜層、第2薄膜層を形成する工程；

(c) 前記薄膜層上に、全面に厚付け層を形成し、該厚付け層上にレジストを形成する工程；

(d) エッチングにより、レジストの非形成部の第1、第2薄膜層及び厚付け層を除去する工程；

20 (e) レジスト層を剥離する工程；

(f) 前記ウエハーを分割して半導体素子を形成する工程。

18. 前記薄膜層をスパッタ、蒸着のいずれかで形成する請求項14または請求項16に記載の半導体素子の製造方法。

25 19. 前記第1薄膜層をスパッタ、蒸着のいずれかで形成する請求項15または請求項17に記載の半導体素子の製造方法。

20. 前記第2薄膜層をスパッタ、蒸着、めっきのいずれかで形成する請求項15または請求項17に記載の半導体素子の製造方法。

21. 前記厚付け層は、ニッケル、銅、金、銀、亜鉛、鉄の中から選ばれる請求項14～請求項17のいずれか1に記載の半導体素子の製造方法。

30 22. 前記薄膜層は、スズ、クロム、チタン、ニッケル、亜鉛、コバルト、

- 76 -

金、銅のいずれかから、選ばれる少なくとも１種類以上で積層される請求項 14 または請求項 16 に記載の半導体素子の製造方法。

23. 前記第 1 薄膜層は、スズ、クロム、チタン、ニッケル、亜鉛、コバルト、金、銅のいずれかから、選ばれる少なくとも１種類以上で積層され、

5 前記第 2 薄膜層は、ニッケル、銅、金、銀の中から選ばれる請求項 15 又は請求項 17 に記載の半導体素子。

24. 基板上に、層間絶縁層と導体回路が繰り返し積層されて、バイアホールを介して電氣的接続を取るプリント配線板において、

前記基板に、半導体素子が収容、収納あるいは埋め込まれ、

10 前記半導体素子の裏面には、金属又はセラミックからなるヒートシンクが配設されていることを特徴とする多層プリント配線板。

25. 前記半導体素子は、前記ヒートシンクに導電性接着剤を介して固定されていることを特徴とする請求項 24 の多層プリント配線板。

26. 前記半導体素子のダイパッド上に、トランジションを設けて前記バイ
15 アホールと接続したことを特徴とする請求項 24 又は請求項 25 の多層プリント配線板。

27. 少なくとも以下の (a) ~ (d) の工程を有することを特徴とする多層プリント配線板の製造方法：

(a) 金属又はセラミックからなるヒートシンクに半導体素子を載置する工程；

20 (b) 前記半導体素子に対応する通孔を有し、未硬化樹脂を心材に含浸するシートを、前記ヒートシンクに載置する工程；

(c) 前記シートを加圧してコア基板を形成する工程；

(d) 前記コア基板の上面にビルドアップ層を形成する工程。

28. 少なくとも以下の (a) ~ (e) の工程を有することを特徴とする多
25 層プリント配線板の製造方法：

(a) 半導体素子のダイパッド上にトランジション層を形成する工程；

(b) 金属又はセラミックからなるヒートシンクに前記半導体素子を載置する工程；

30 (c) 前記半導体素子に対応する通孔を有し、未硬化樹脂を心材に含浸するシートを、前記ヒートシンクに載置する工程；

- 77 -

(d) 前記シートを加圧してコア基板を形成する工程；

(e) 前記コア基板の上面にビルドアップ層を形成する工程。

29. 少なくとも以下の(a)～(e)の工程を有することを特徴とする半導体素子を内蔵する多層プリント配線板の製造方法：

5 (a) コア基板に形成した複数の通孔に複数の半導体素子を収容する工程；

(b) 前記半導体素子を収容するコア基板と、樹脂板とを、未硬化樹脂を心材に含浸するシートを介在させて積層する工程；

(c) 前記コア基板と樹脂板とを加圧する工程；

(d) 前記コア基板の上面にビルドアップ層を形成する工程

10 (e) 前記コア基板を裁断して個片の多層プリント配線板を得る工程。

30. 少なくとも以下の(a)～(f)の工程を有することを特徴とする半導体素子を内蔵する多層プリント配線板の製造方法：

(a) 半導体素子のダイパッド上にトランジション層を形成する工程；

(b) コア基板に形成した複数の通孔に複数の前記半導体素子を収容する工程；

15 (c) 前記半導体素子を収容するコア基板と、樹脂板とを、未硬化樹脂を心材に含浸するシートを介在させて積層する工程；

(d) 前記コア基板と樹脂板とを加圧する工程；

(e) 前記コア基板の上面にビルドアップ層を形成する工程；

(f) 前記コア基板を裁断して個片の多層プリント配線板を得る工程。

20 31. 少なくとも以下の(a)～(e)の工程を有することを特徴とする半導体素子を内蔵する多層プリント配線板の製造方法：

(a) 金属又はセラミックからなるヒートシンクに複数の半導体素子を載置する工程；

25 (b) 前記半導体素子に対応する通孔を有し、未硬化樹脂を心材に含浸するシートを、前記ヒートシンクに載置する工程；

(c) 前記シートを加圧してコア基板を形成する工程；

(d) 前記コア基板の上面にビルドアップ層を形成する工程；

(e) 前記コア基板を裁断して個片の多層プリント配線板を得る工程。

30 32. 少なくとも以下の(a)～(f)の工程を有することを特徴とする半導体素子を内蔵する多層プリント配線板の製造方法：

- 78 -

- (a) 半導体素子のダイパッド上にトランジション層を形成する工程；
 - (b) 金属又はセラミックからなるヒートシンクに複数の前記半導体素子を載置する工程；
 - (c) 前記半導体素子に対応する通孔を有し、未硬化樹脂を心材に含浸するシートを、前記ヒートシンクに載置する工程；
 - 5 (d) 前記シートを加圧してコア基板を形成する工程；
 - (e) 前記コア基板の上面にビルドアップ層を形成する工程；
 - (f) 前記コア基板を裁断して個片の多層プリント配線板を得る工程。
33. 少なくとも以下の (a) ~ (d) の工程を有することを特徴とする半導体素子を内蔵する多層プリント配線板の製造方法：
- 10 (a) コア基板に形成した複数の通孔に複数の半導体素子を収容する工程；
- (b) 前記半導体素子のダイパッド上にトランジション層を形成する工程；
- (c) 前記コア基板の上面にビルドアップ層を形成する工程；
- (d) 前記コア基板を裁断して個片の多層プリント配線板を得る工程。
- 15 34. 前記個片の多層プリント配線板が、複数の半導体素子を備えることを特徴とする請求項29～請求項33のいずれか1の半導体素子を内蔵する多層プリント配線板の製造方法。
35. 少なくとも以下の (a) ~ (f) の工程を有することを特徴とする多層プリント配線板の製造方法：
- 20 (a) コア基板に形成した通孔の底部にシートを張る工程；
- (b) 前記通孔の底部の前記シートに、端子が前記シートに接するように半導体素子を載置する工程；
- (c) 前記通孔内に樹脂を充填する工程；
- (d) 前記樹脂を加圧及び硬化する工程；
- 25 (e) 前記シートを剥離する工程；
- (f) 前記半導体素子の上面にビルドアップ層を形成する工程。
36. 少なくとも以下の (a) ~ (i) の工程を有することを特徴とする多層プリント配線板の製造方法：
- (a) コア基板に形成した通孔の底部にシートを張る工程；
- 30 (b) 前記通孔の底部の前記シートに、端子が前記シートに接するように半導

- 79 -

体素子を載置する工程；

(c) 前記通孔内に樹脂を充填する工程；

(d) 前記樹脂を加圧及び仮硬化する工程；

(e) 前記シートを剥離する工程；

5 (f) 前記コア基板の底部側を研磨し、前記半導体素子の底部を露出させる工程；

(g) 前記樹脂を本硬化する工程；

(h) 前記半導体素子の底部に放熱板を取り付ける工程；

(i) 前記半導体素子の上面にビルドアップ層を形成する工程。

10 37. 前記半導体素子の前記端子上にトランジション層を形成することを特徴とする請求項35又は請求項36の多層プリント配線板の製造方法。

38. 前記シートとして、UV照射により粘着力が低下するUVテープを用いることを特徴とする請求項35～請求項37のいずれか1の多層プリント配線板の製造方法。

15 39. 前記樹脂の加圧を減圧下で行うことを特徴とする請求項35～請求項38のいずれか1の多層プリント配線板の製造方法。

40. 前記コア基板に形成した前記通孔にテープを設けることを特徴とする請求項35～請求項39のいずれか1の多層プリント配線板の製造方法。

20 41. 半導体素子が埋め込み、收容又は収納された基板上に層間絶縁層と導体層とが繰り返り形成され、前記層間絶縁層には、バイアホールが形成され、前記バイアホールを介して電氣的接続される多層プリント配線板において、

前記基板内の半導体素子の直上以外の領域にのみ外部接続端子を形成したことを特徴とする多層プリント配線板。

25 42. 前記半導体素子のパッド部分には、最下層の前記層間絶縁層に形成された前記バイアホールと接続するためのトランジション層を形成したことを特徴とする請求項41に記載の多層プリント配線板。

43. 半導体素子を埋め込み、收容又は収納する前記基板の凹部または通孔と、前記半導体素子との間に、樹脂充填材料を充填したことを特徴とする請求項41又は請求項42に記載の多層プリント配線板。

30

1/70

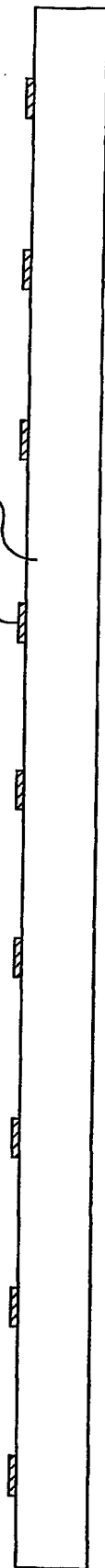
第1図
(A)

20A



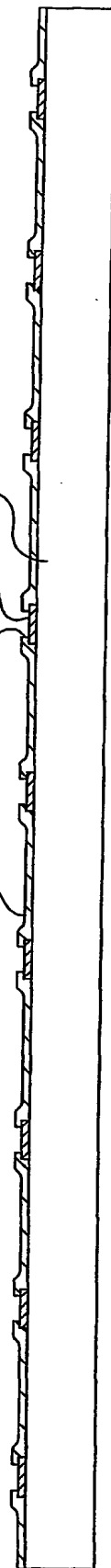
(B)

22 20A



(C)

24 24a 22 20A

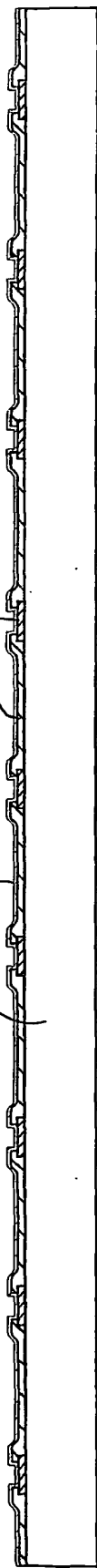


2/70

第2図

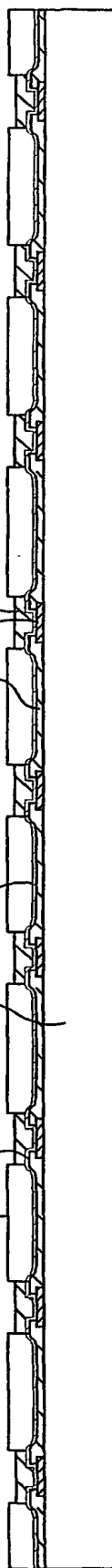
(A)

20 33 22 24



(B)

35 35a 20 33 22 37 24



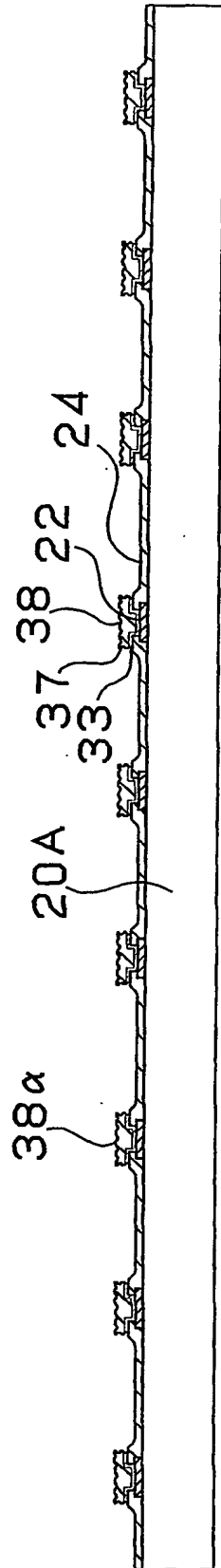
(C)

20 33 37 38 22 24

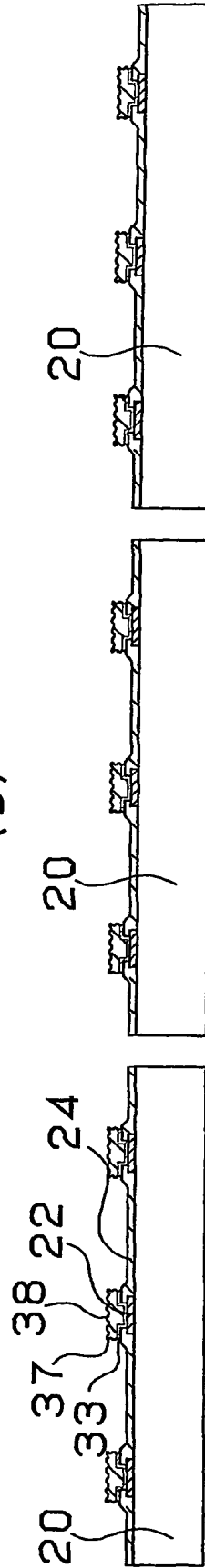


3/70

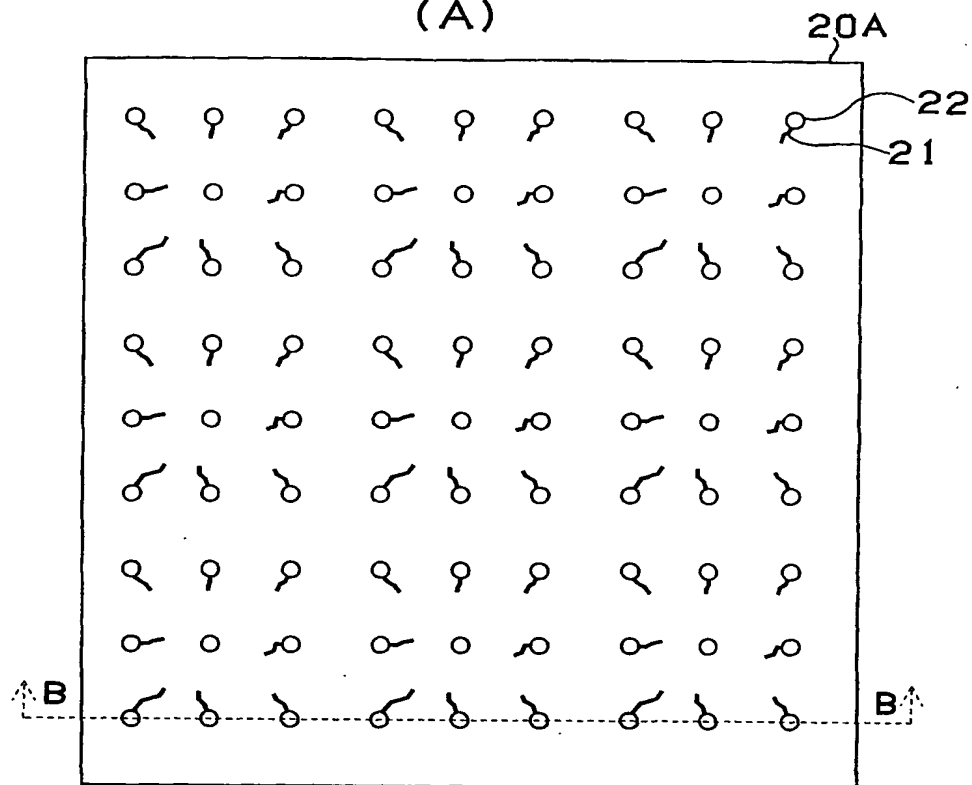
第3図
(A)



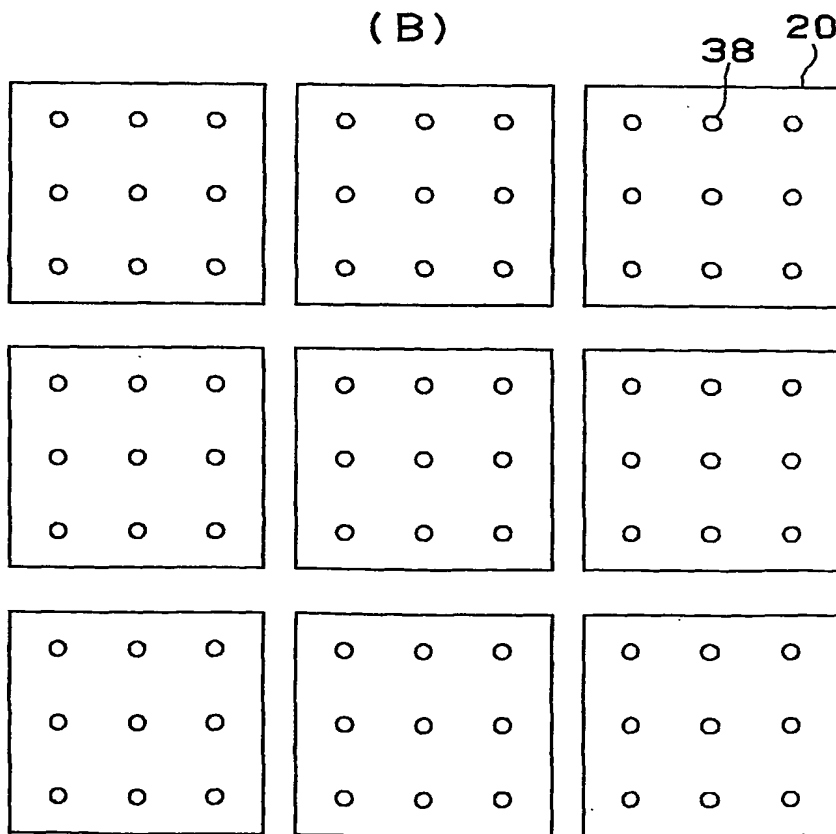
(B)



4/70
第4図
(A)



(B)



5/70

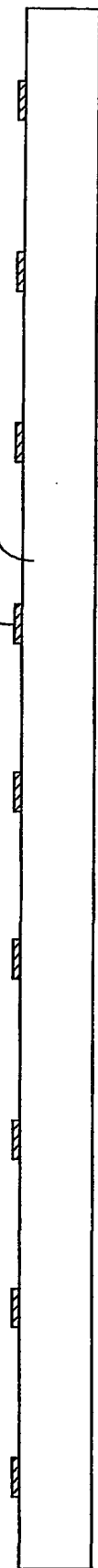
第5図
(A)

20A



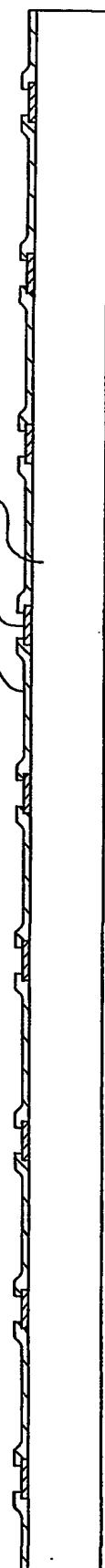
(B)

22 20A



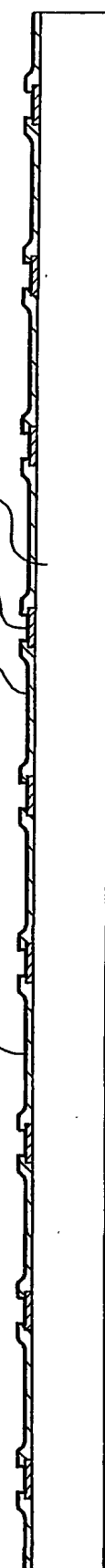
(C)

24 22 20A



(D)

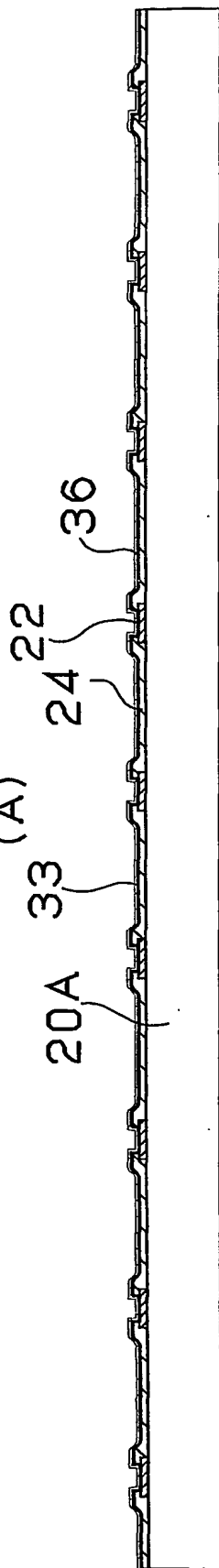
33 24 22 20A



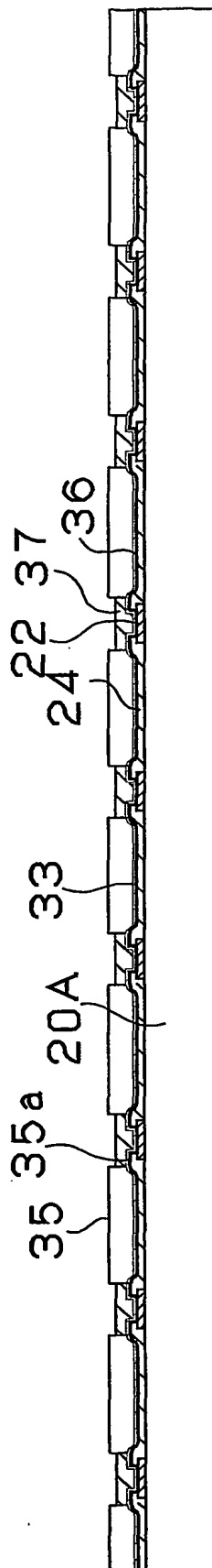
6/70

第6図

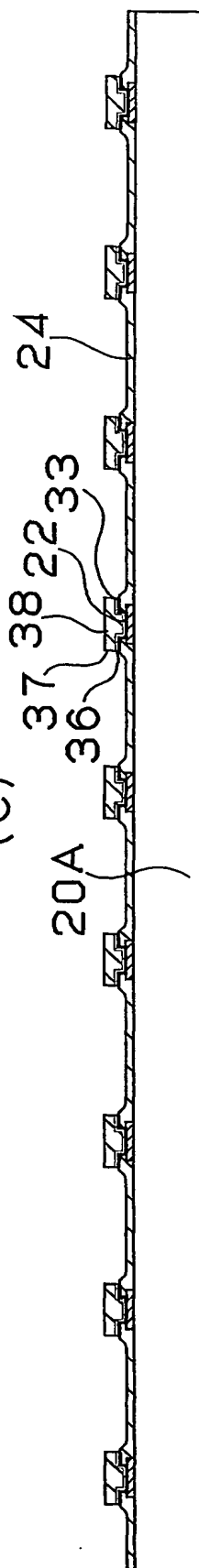
(A)



(B)

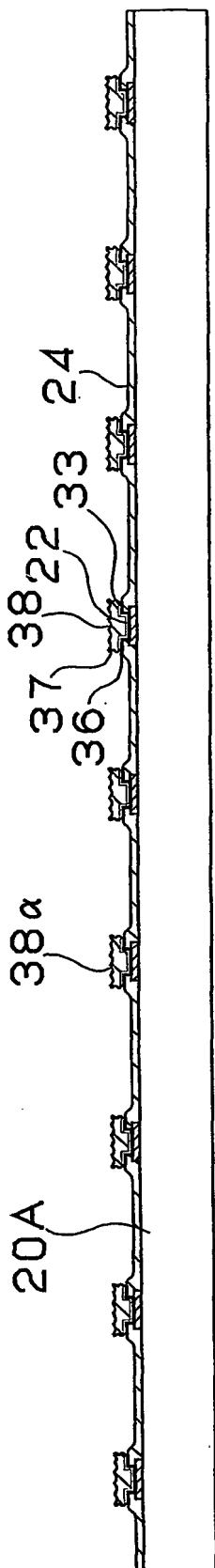


(C)

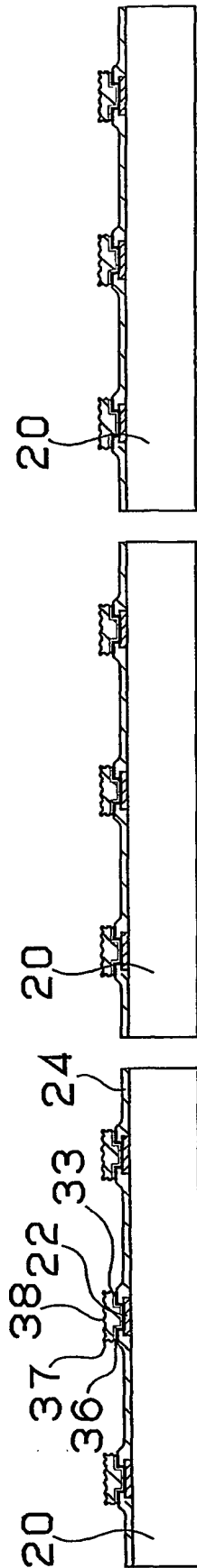


7/70

第7図
(A)



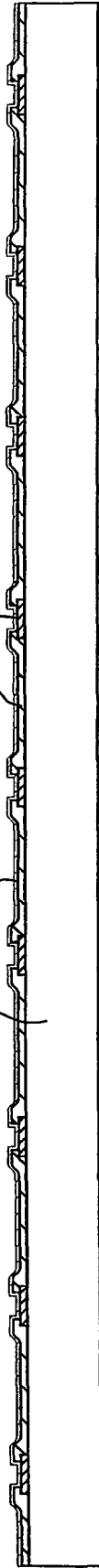
(B)



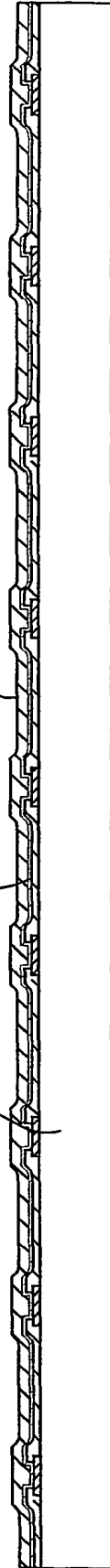
8/70

第8図

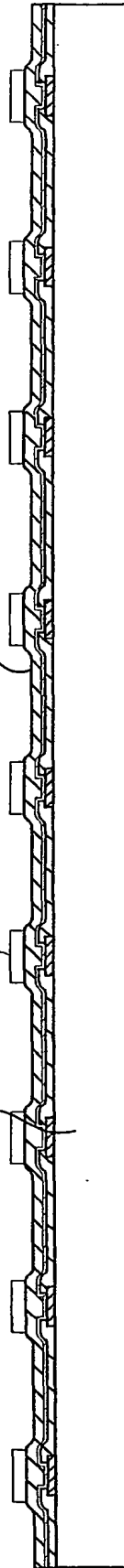
(A) 20A 33 24 22



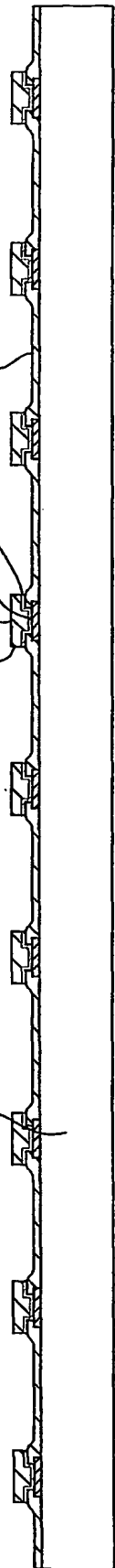
(B) 20A 33 37



(C) 20A 35 37

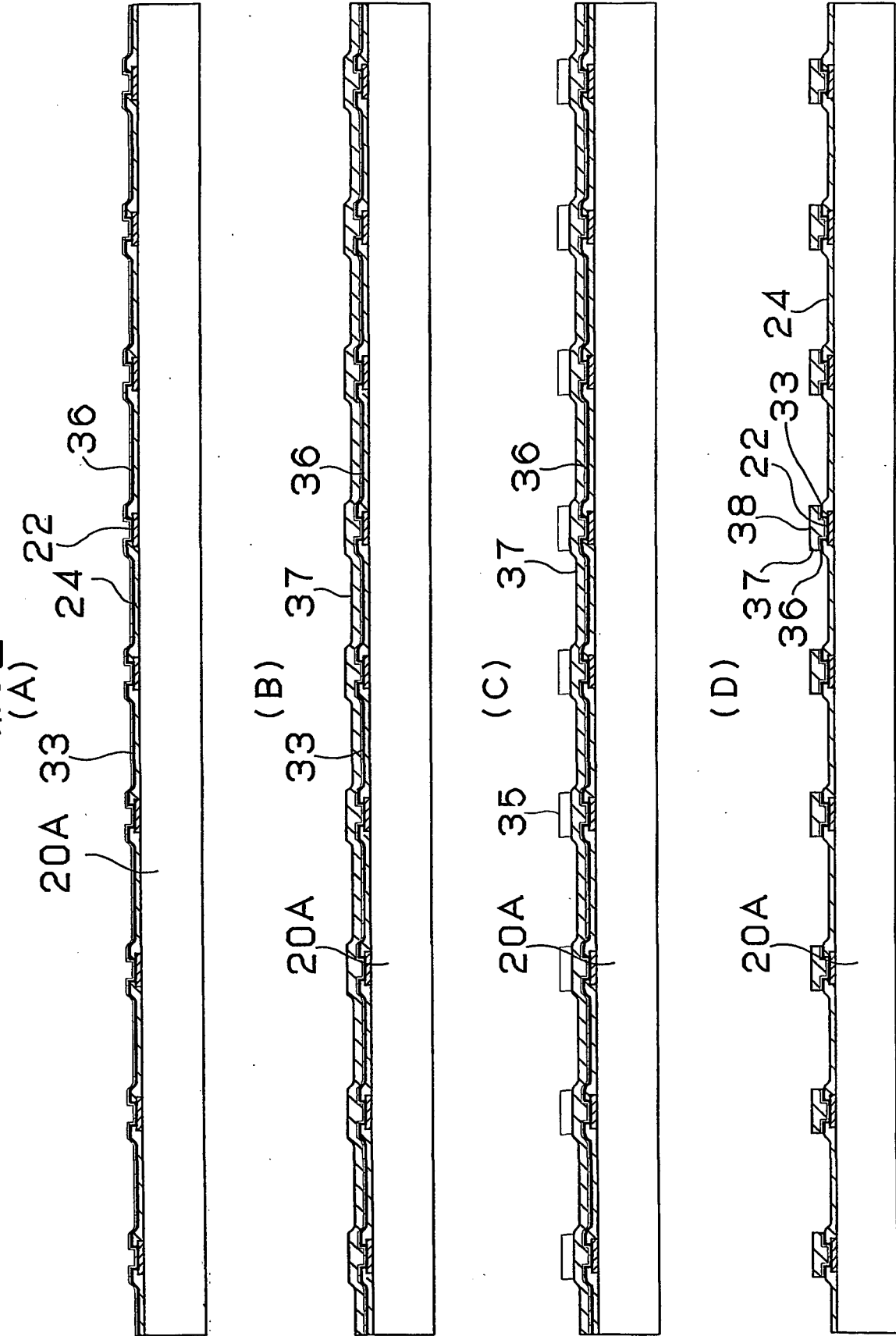


(D) 20A 37 38 22 33 24

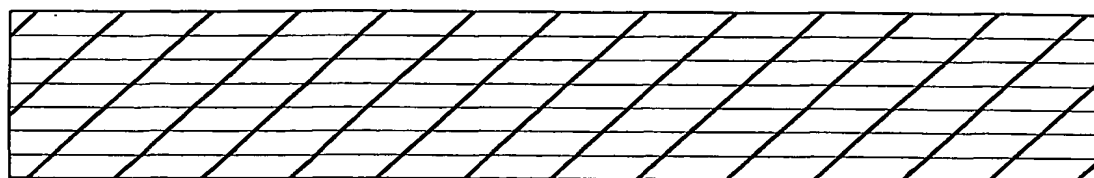


9/70

第9図

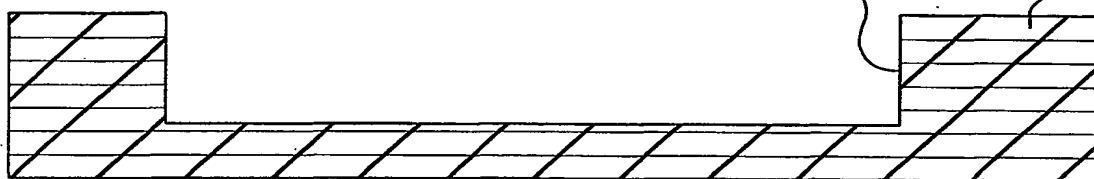


10/70
第10図
(A)



30

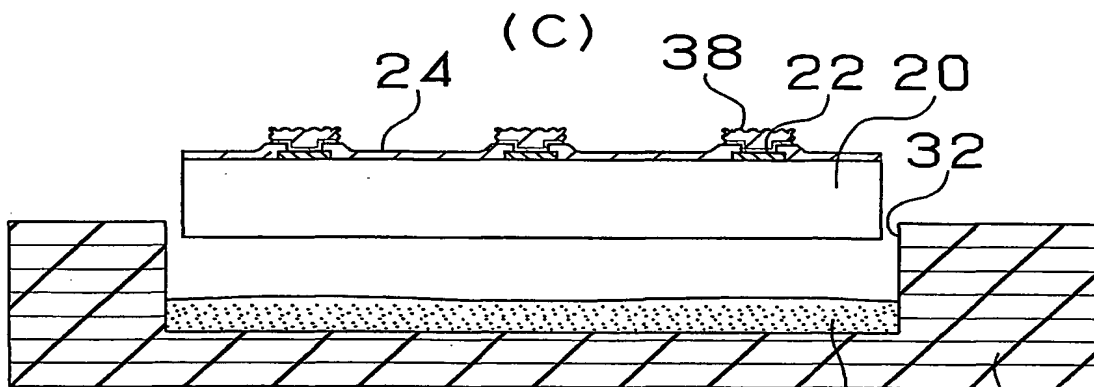
(B)



32

30

(C)



24

38

22

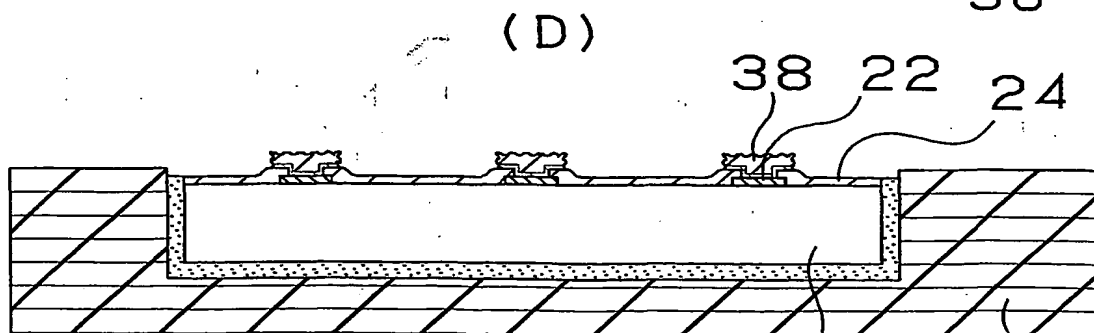
20

32

34

30

(D)



38

22

24

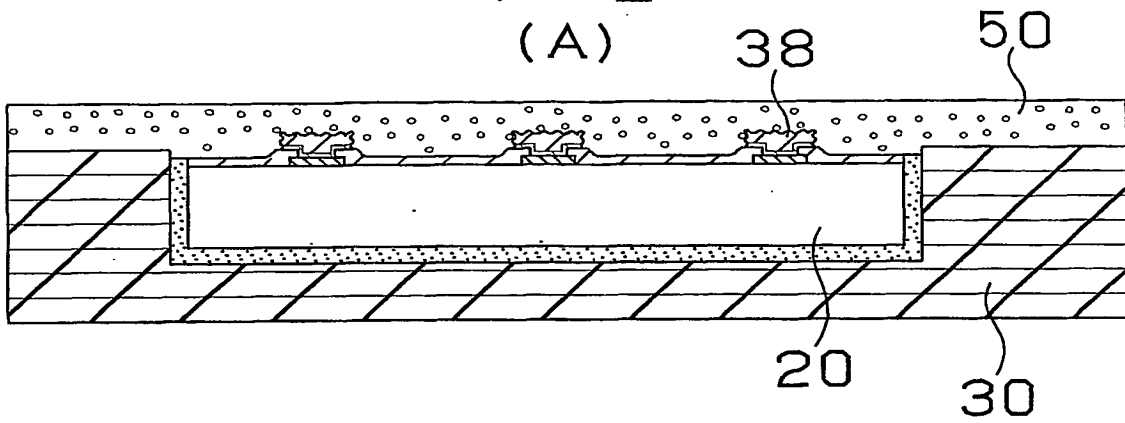
20

30

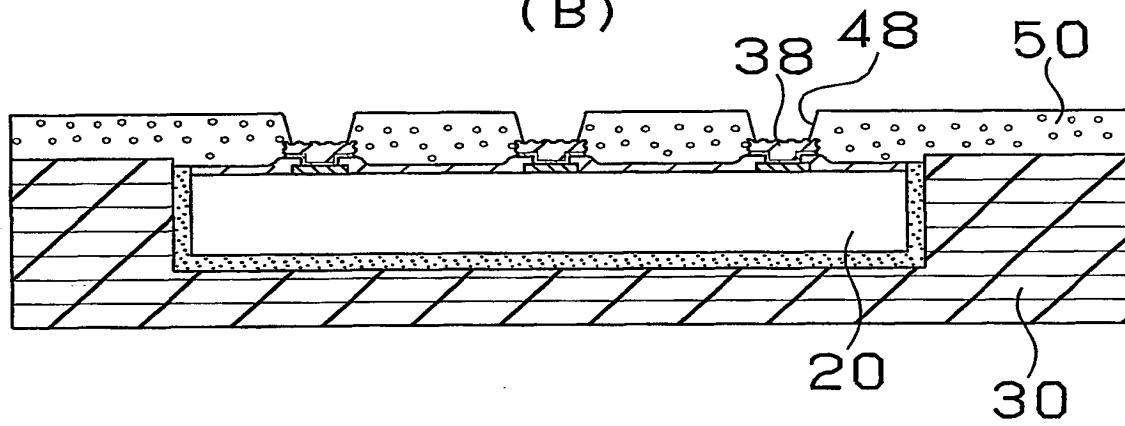
11/70

第11図

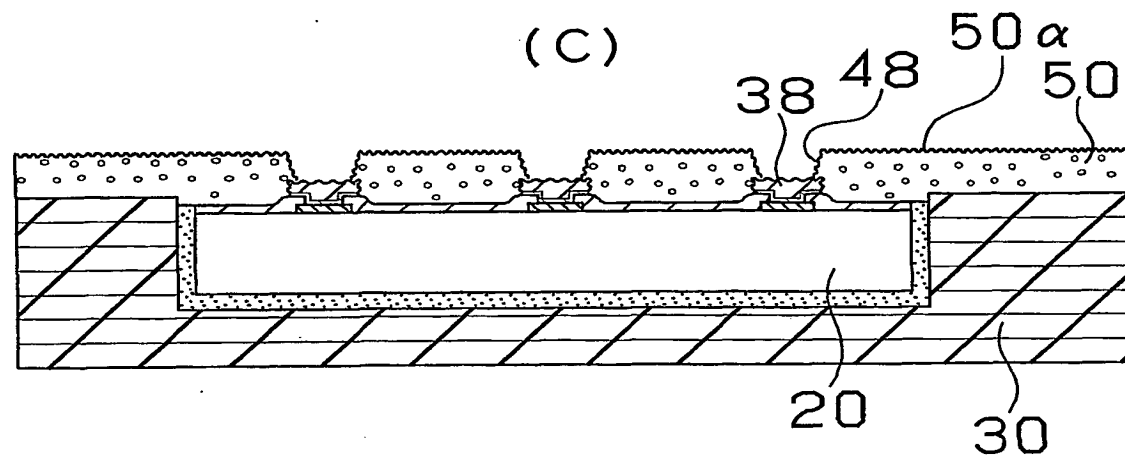
(A)



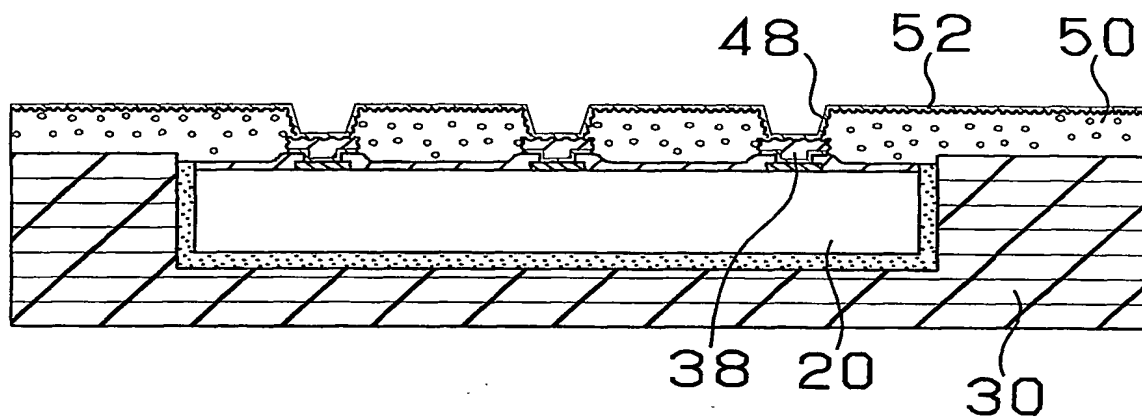
(B)



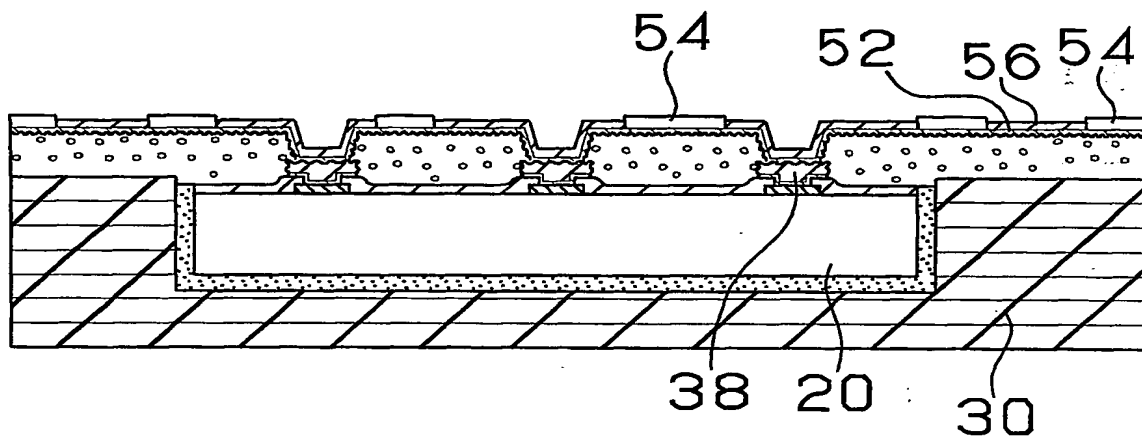
(C)



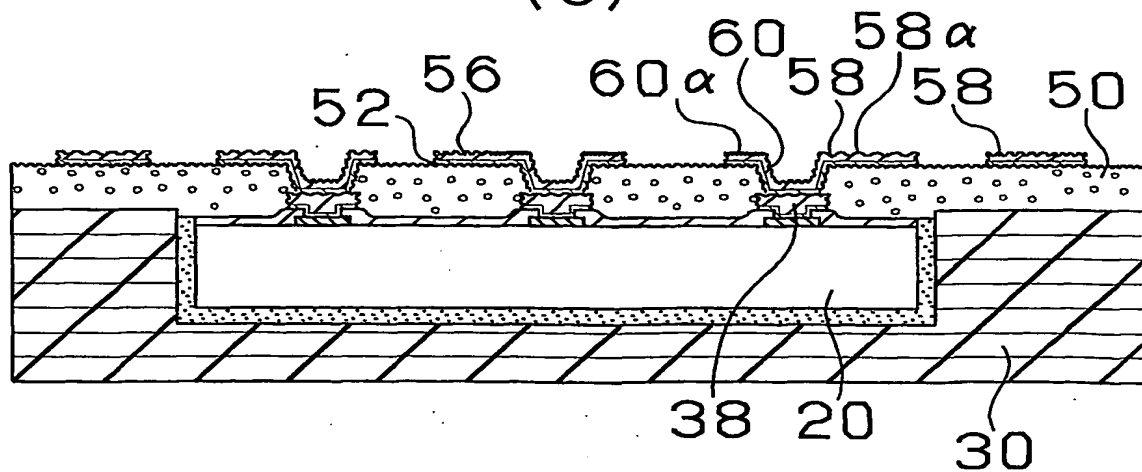
12/70
第12図
(A)



(B)



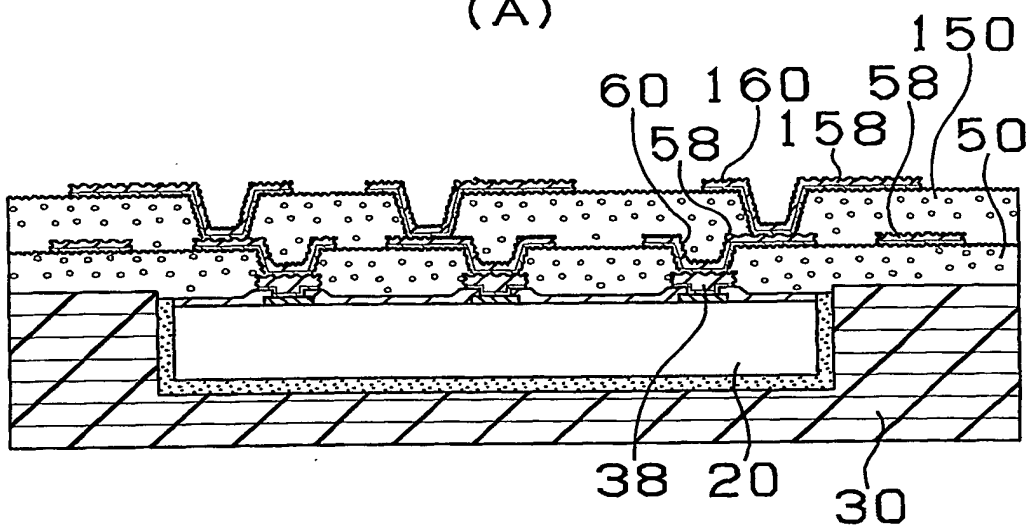
(C)



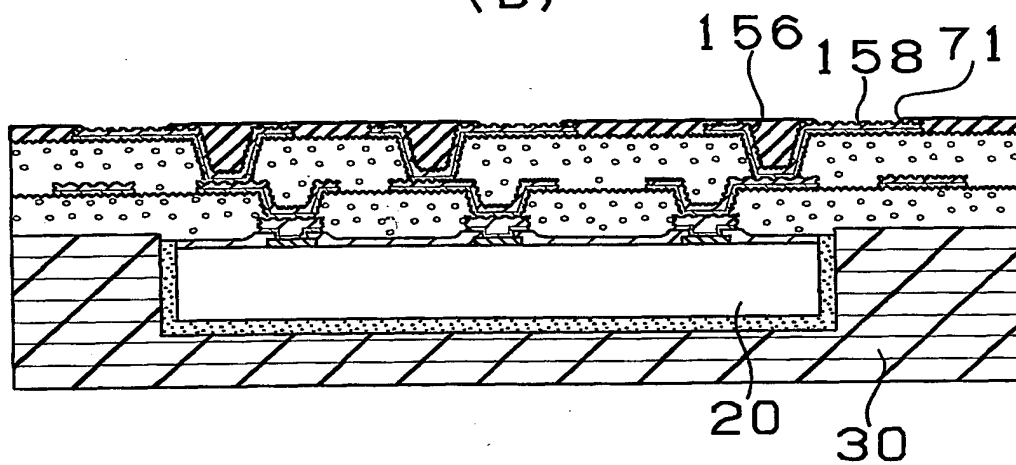
13/70

第13図

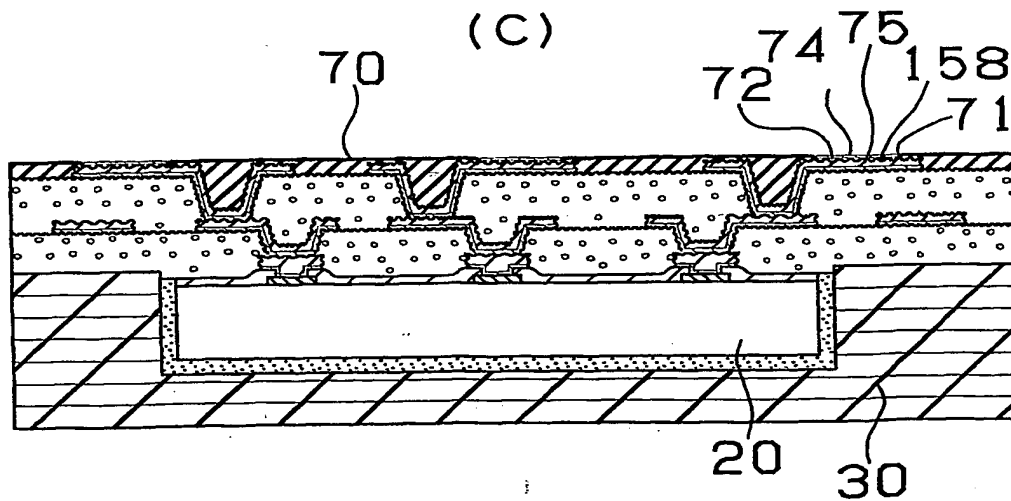
(A)



(B)

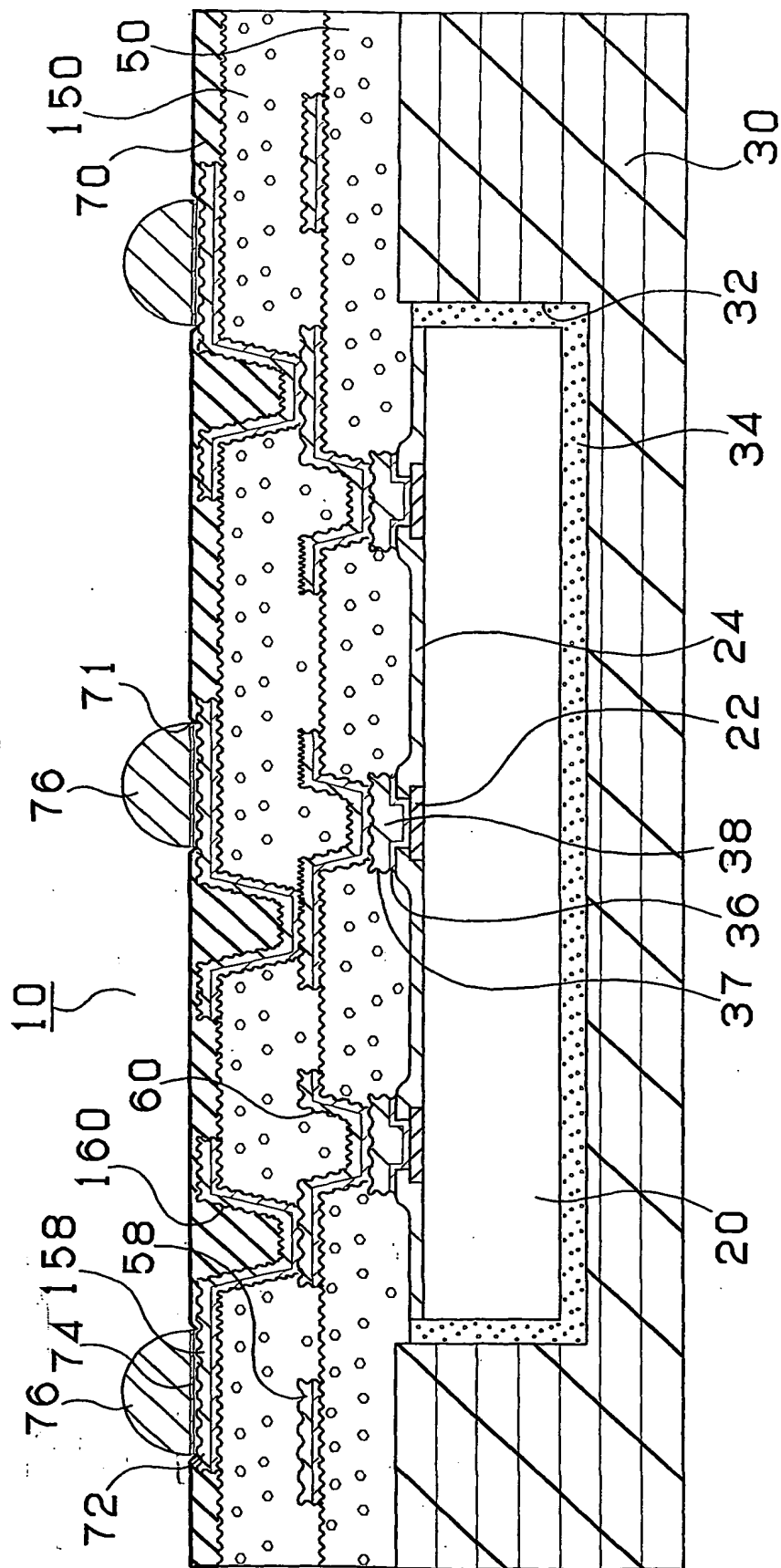


(C)



14/70

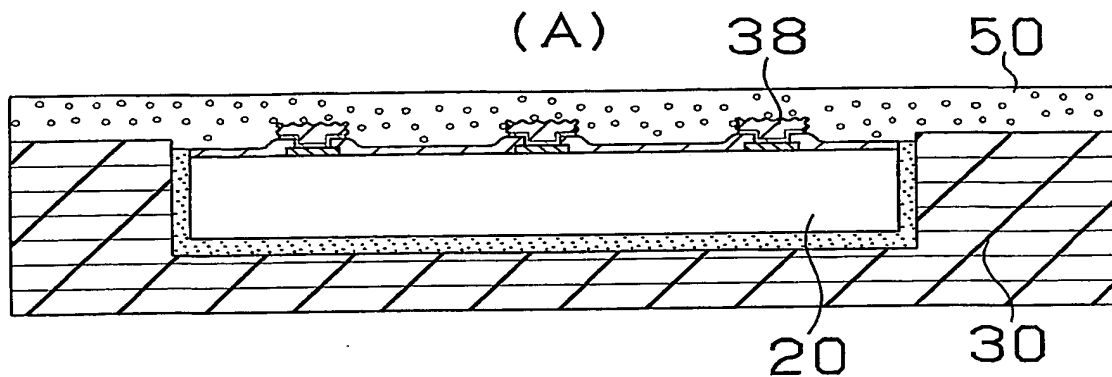
第14図



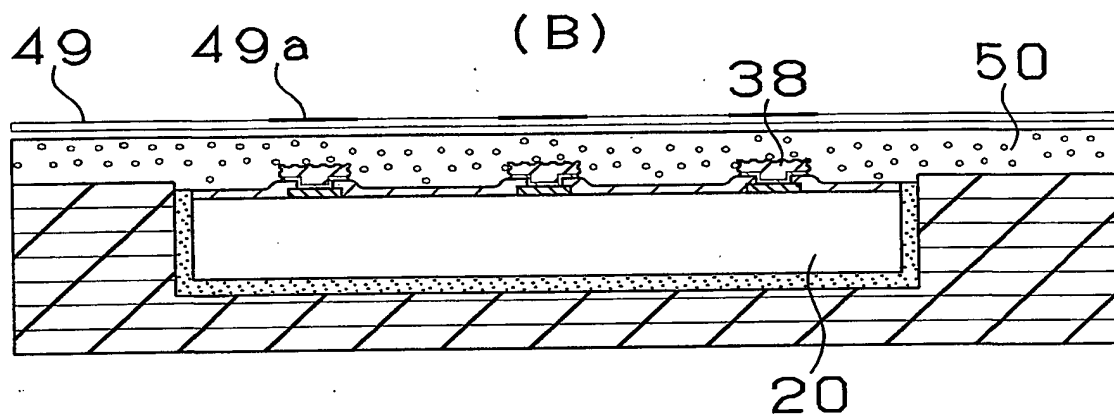
15/70

第15図

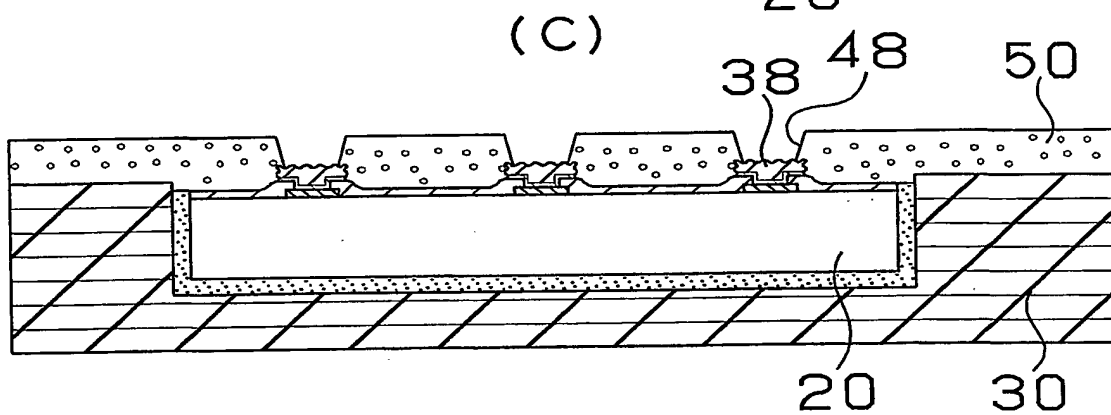
(A)



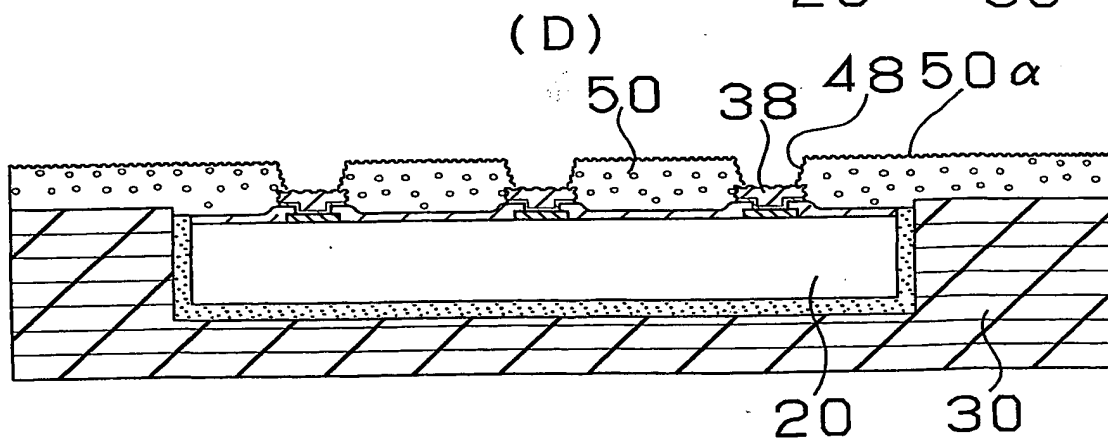
(B)



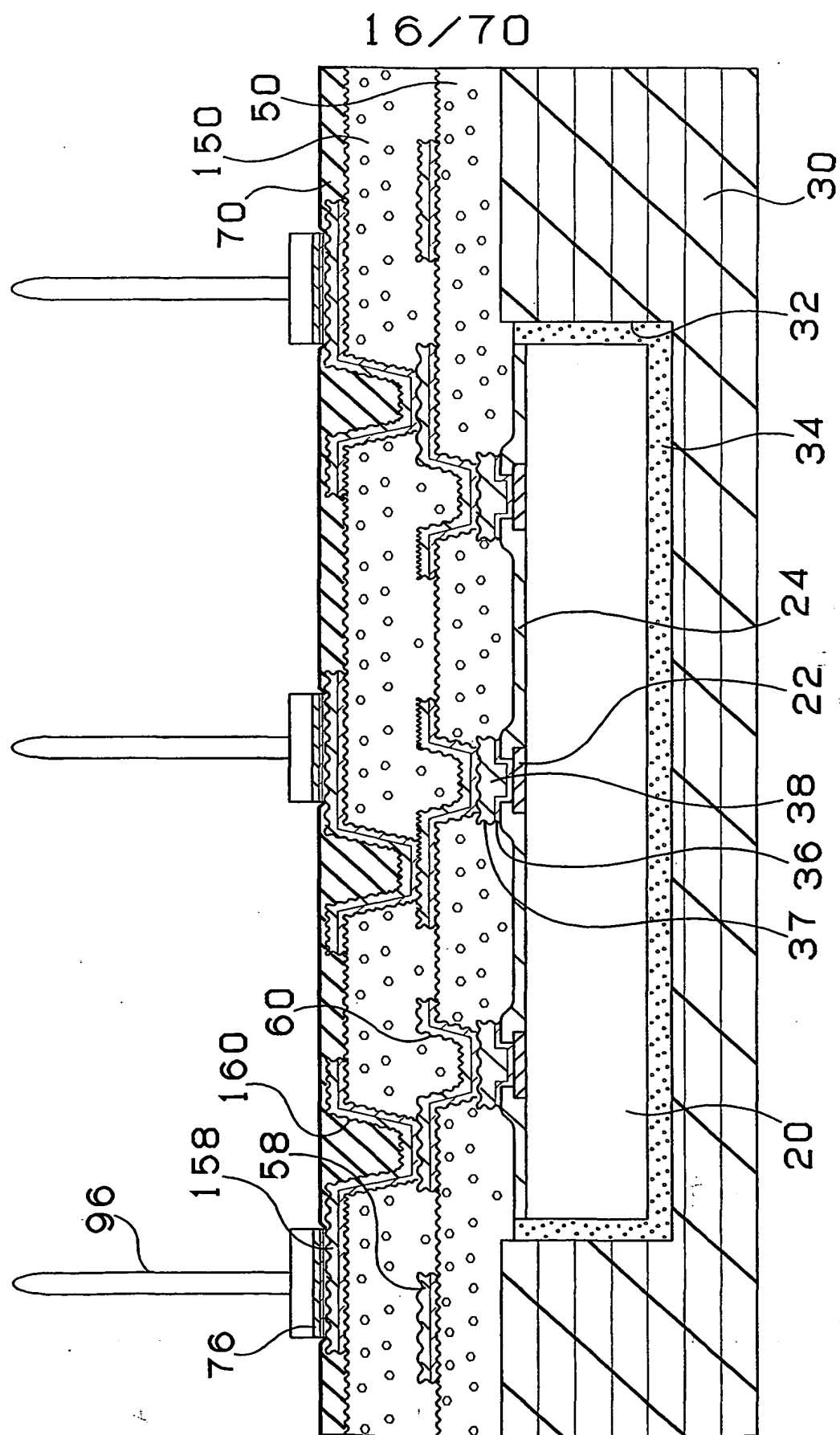
(C)



(D)



第16図



17/70

第17図

実施例と比較例の評価結果

半導体素子	第1実施例の多層プリント配線板			第1改変例の多層プリント配線板		
	変色・溶解	形成の可否	接触抵抗(Ω)	変色・溶解	形成の可否	接触抵抗(Ω)
第1実施例	無し	可	0.20	無し	可	0.22
第1実施例 第1別例	無し	可	0.18	無し	可	0.18
第1改変例	無し	可	0.17	無し	可	0.17
第1改変例 第1別例	無し	可	0.22	無し	可	0.19
第1改変例 第2別例	無し	可	0.20	無し	可	0.20
第1改変例 第3別例	無し	可	0.17	無し	可	0.20
第1改変例 第4別例	無し	可	0.14	無し	可	0.18
第1改変例 第5別例	無し	可	0.20	無し	可	0.16

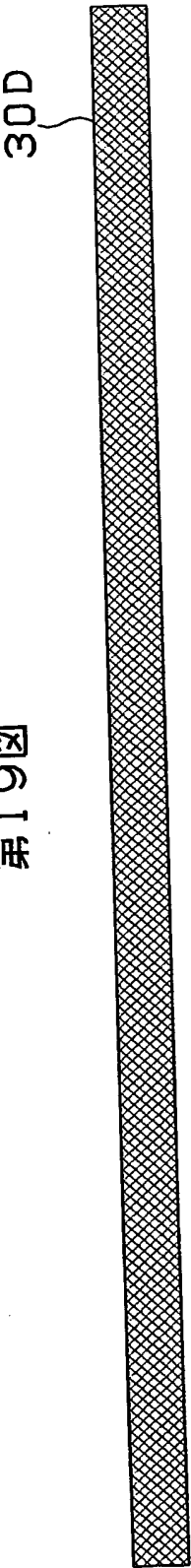
18/70

第18図

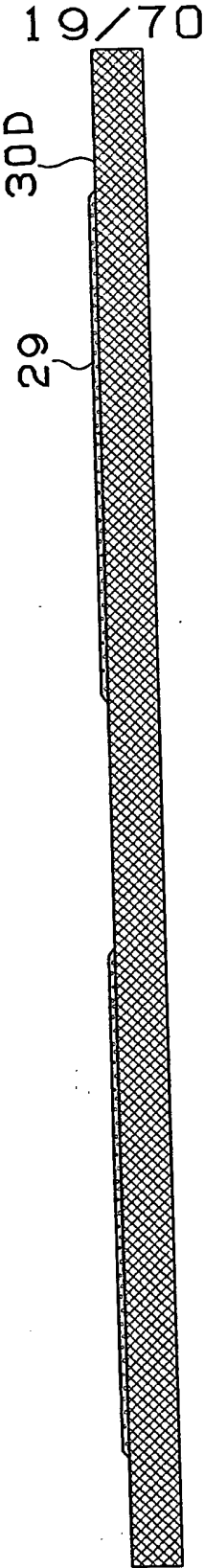
実施例と比較例の評価結果

半導体素子	第1実施例の多層プリント配線板			第2実施例の多層プリント配線板		
	変色・溶解	形成の可否	接触抵抗 (Ω)	変色・溶解	形成の可否	接触抵抗 (Ω)
第2改変例	無し	可	0.17	無し	可	0.16
第2改変例 第1別例	無し	可	0.18	無し	可	0.22
第3改変例	無し	可	0.23	無し	可	0.19
第3改変例 第1別例	無し	可	0.22	無し	可	0.19
第3改変例 第2別例	無し	可	0.20	無し	可	0.17
第3改変例 第3別例	無し	可	0.20	無し	可	0.18
第3改変例 第4別例	無し	可	0.18	無し	可	0.22
第3改変例 第5別例	無し	可	0.15	無し	可	0.20
比較例1	有り	不可	1K以上	有り	不可	1K以上
比較例2	有り	不可	1K以上	有り	不可	1K以上

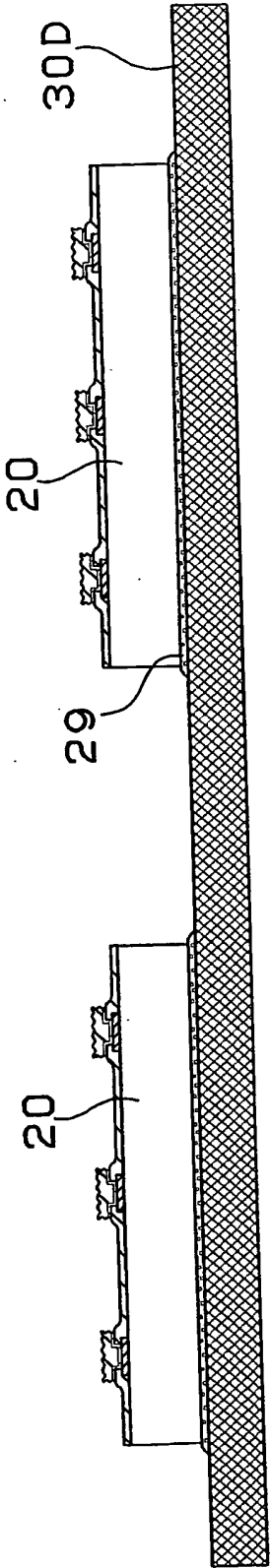
第19図



(A)

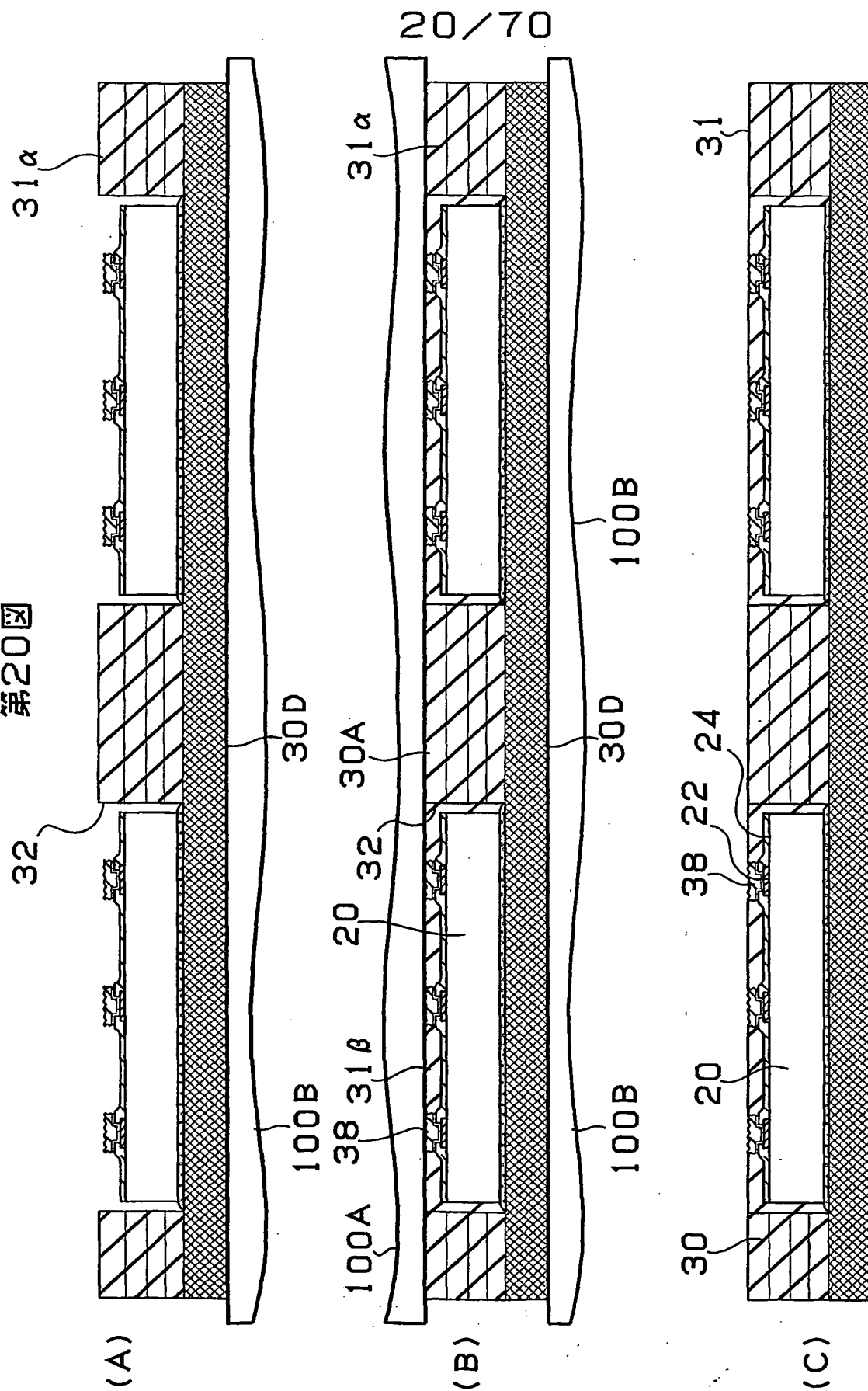


(B)

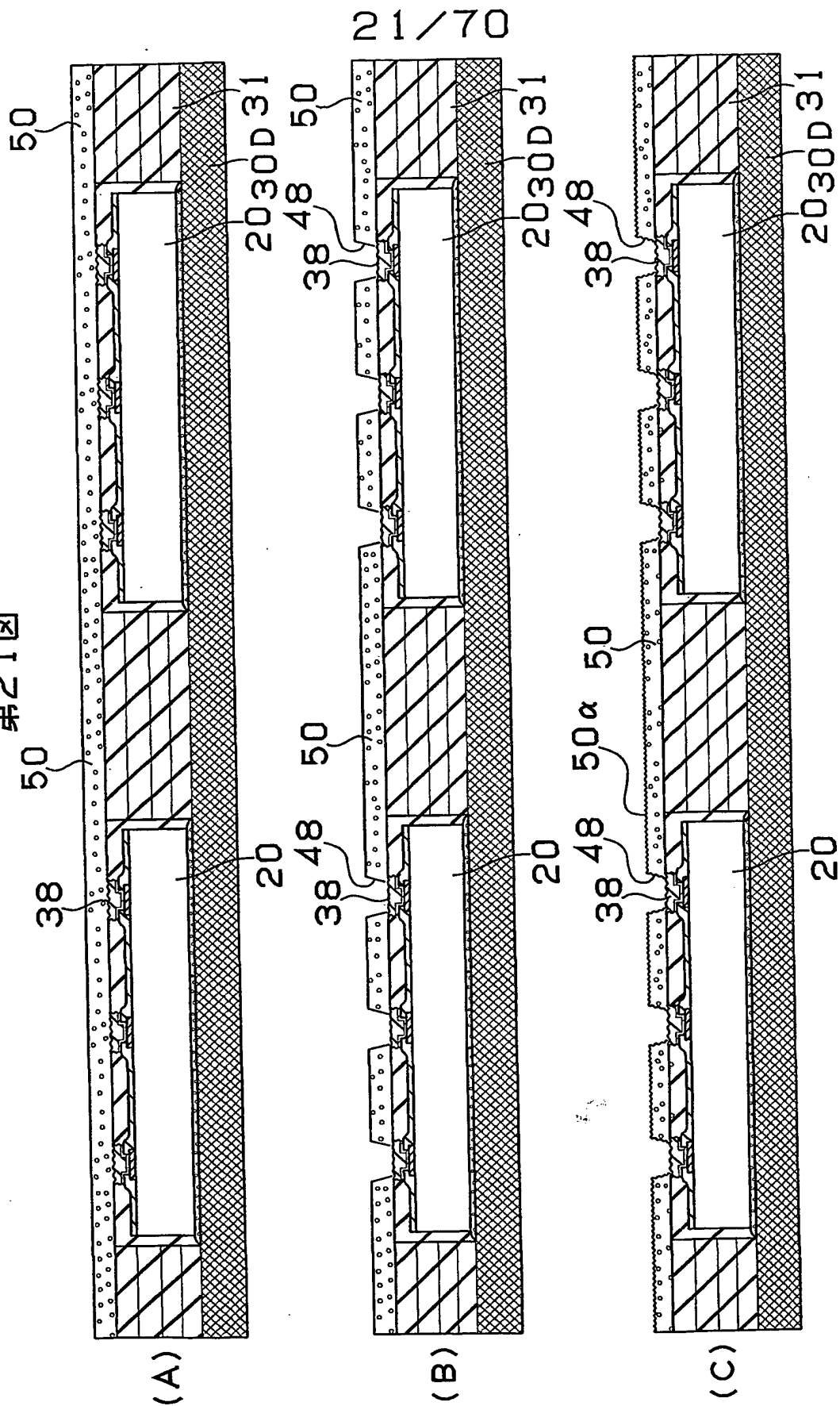


(C)

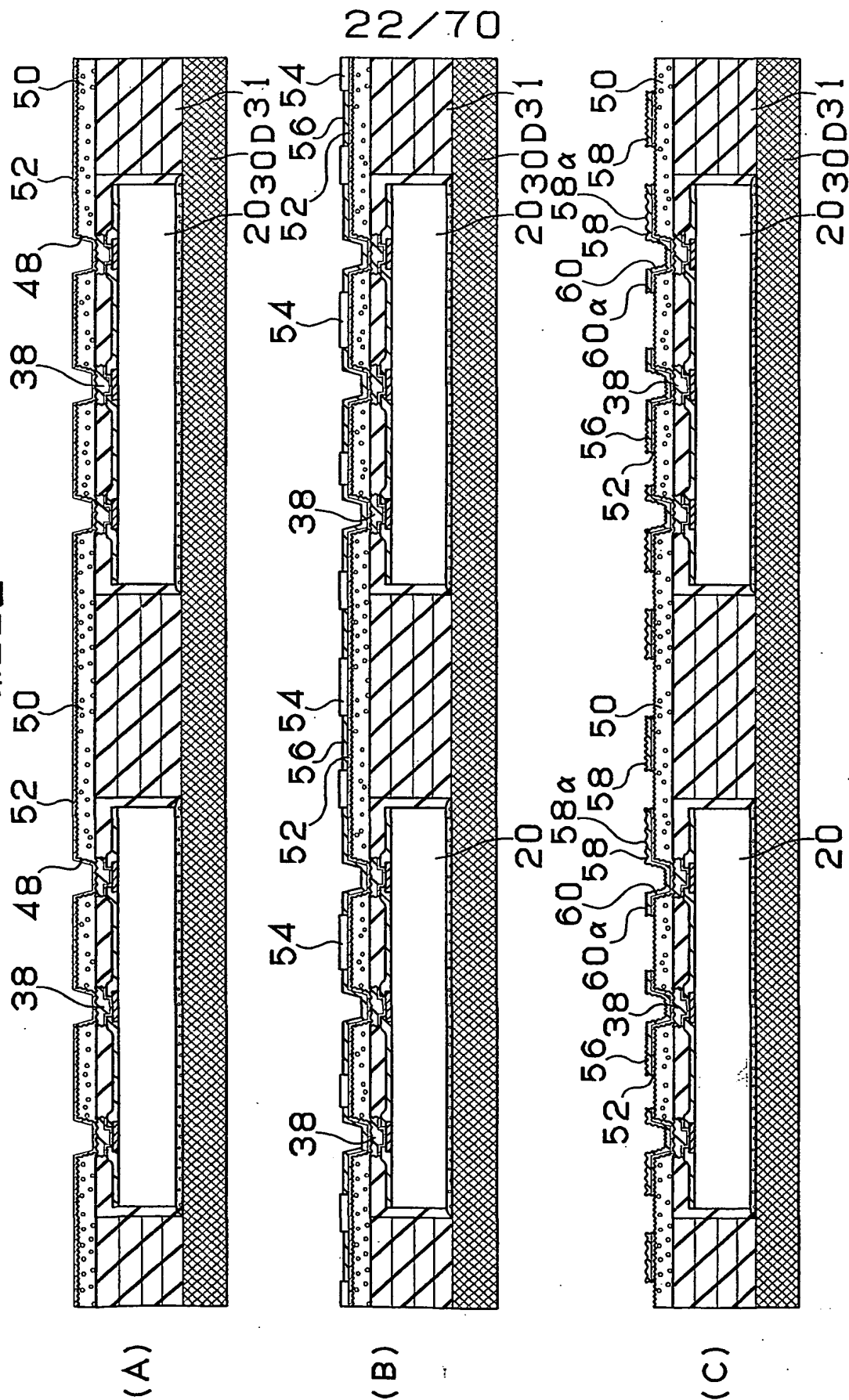
第20図



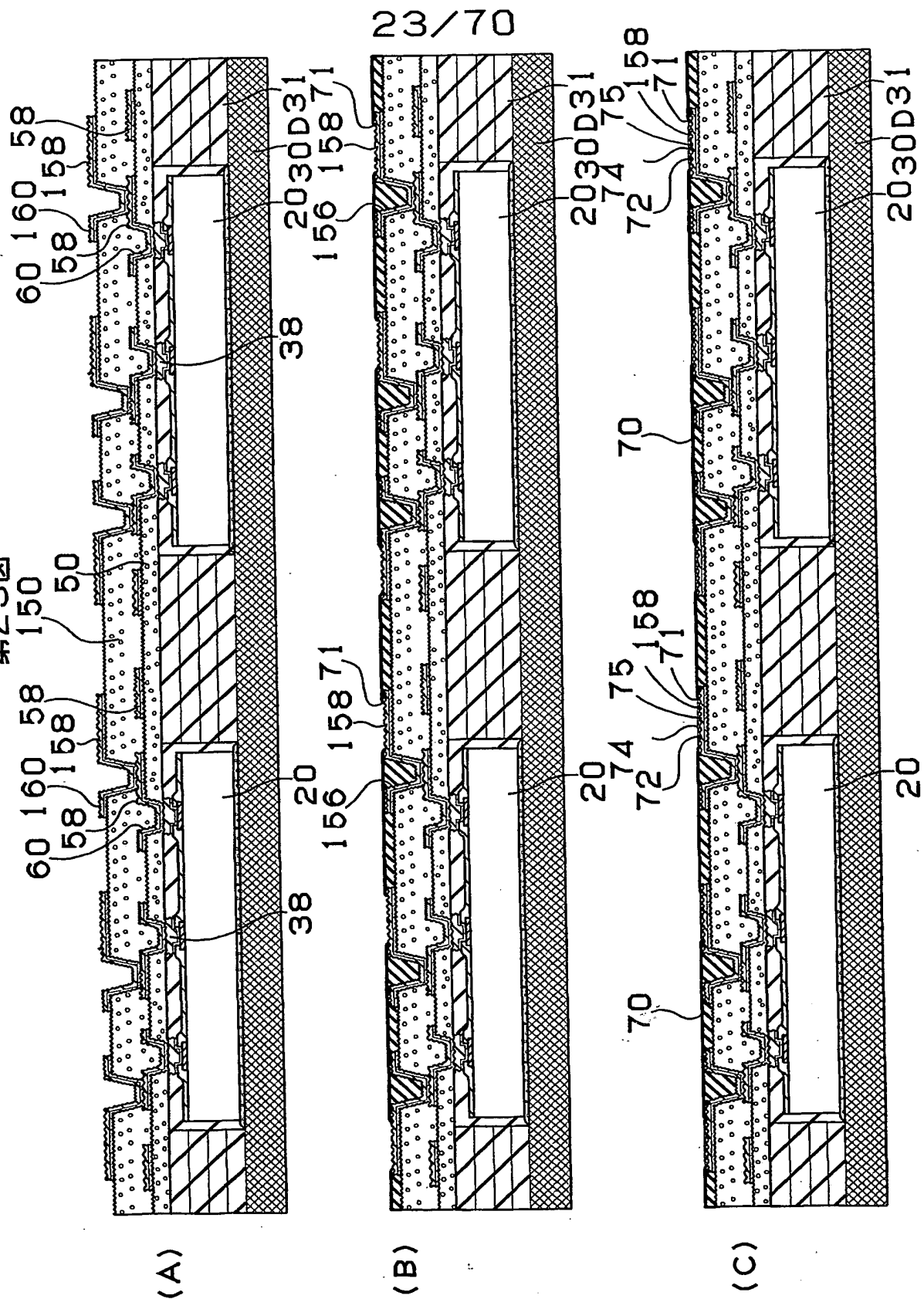
第21図



第22図

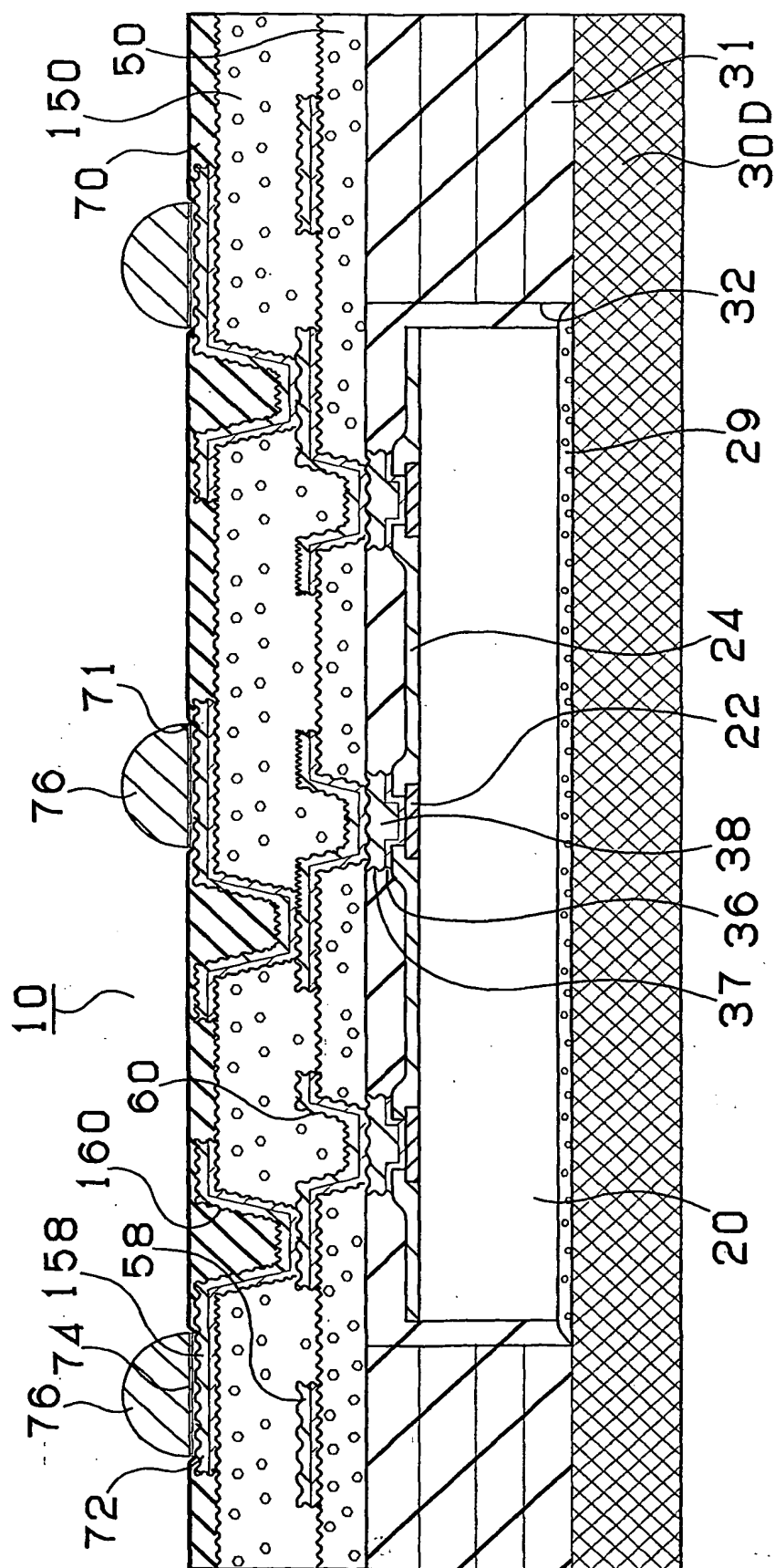


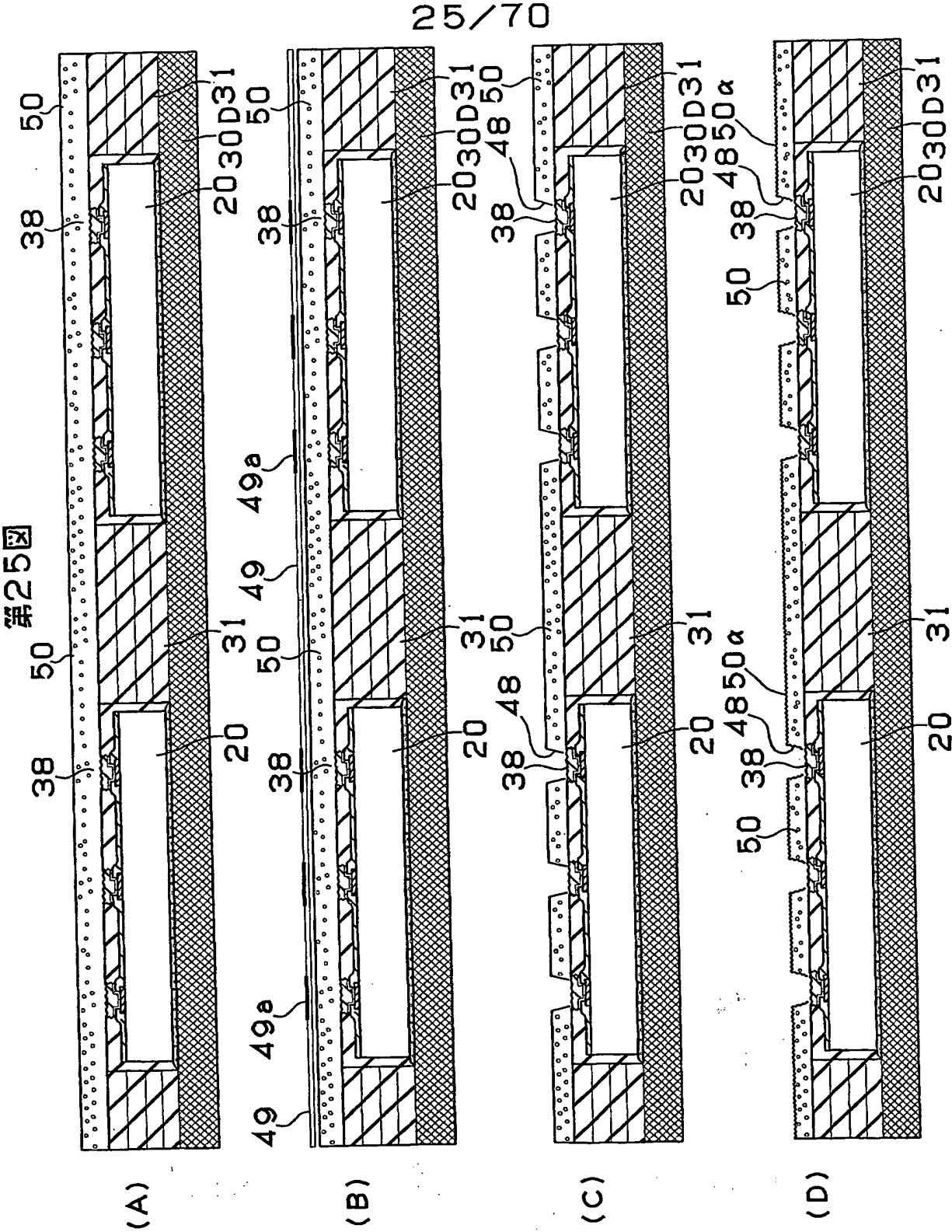
第23図

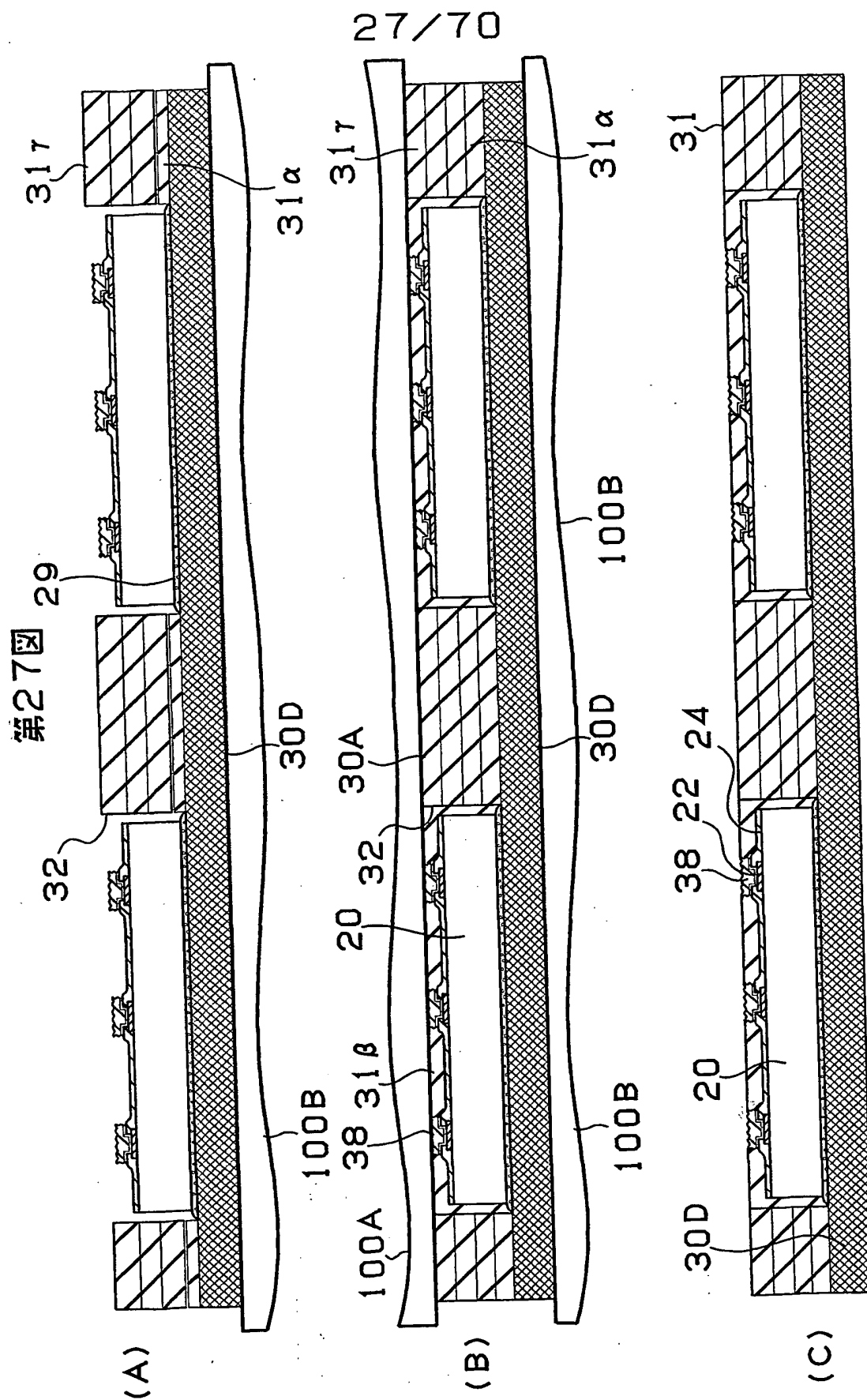


24/70

第24図

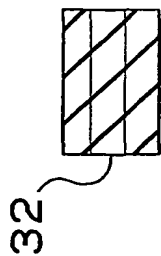




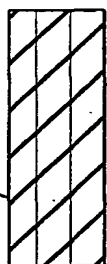


28/70

第28図

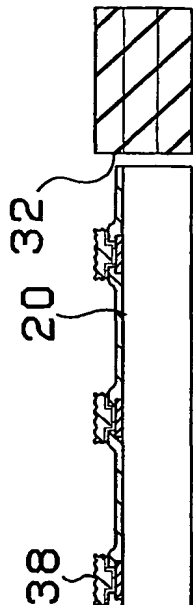


30A



32

(A)



38

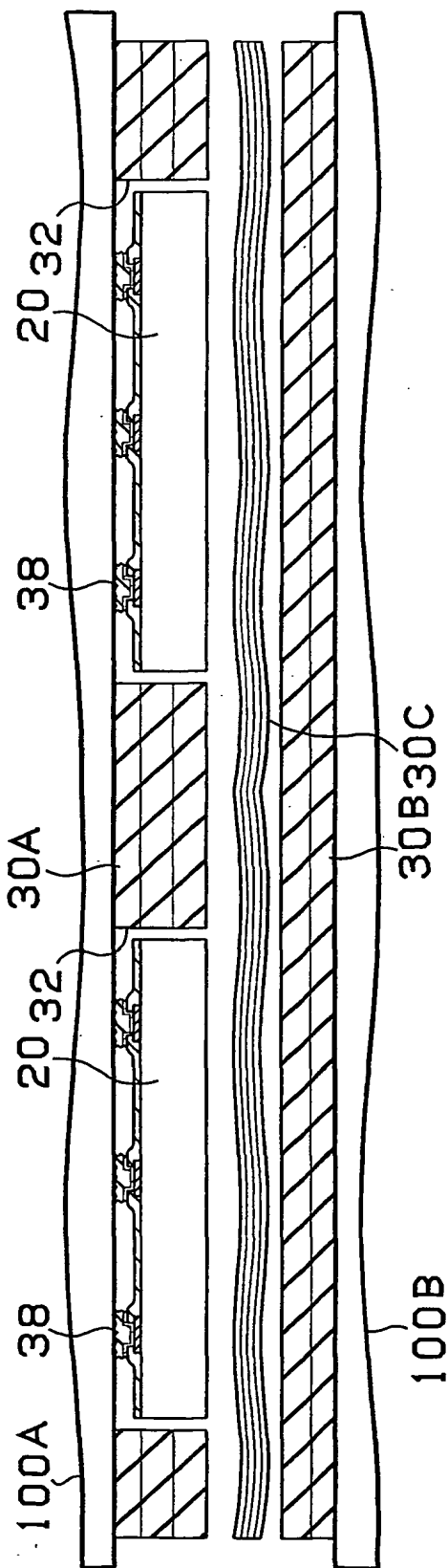
20 32

30A

20 32

38

(B)



20 32

38

30A

20 32

38

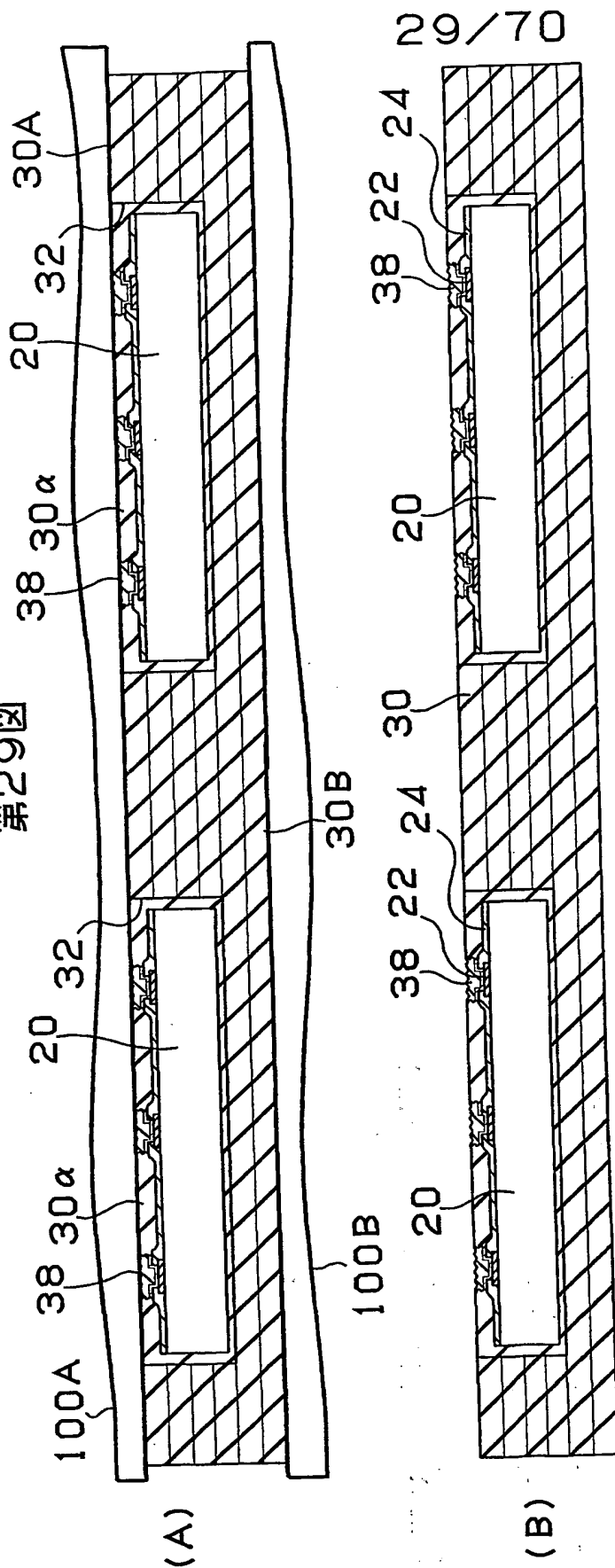
100A

(C)

30B30C

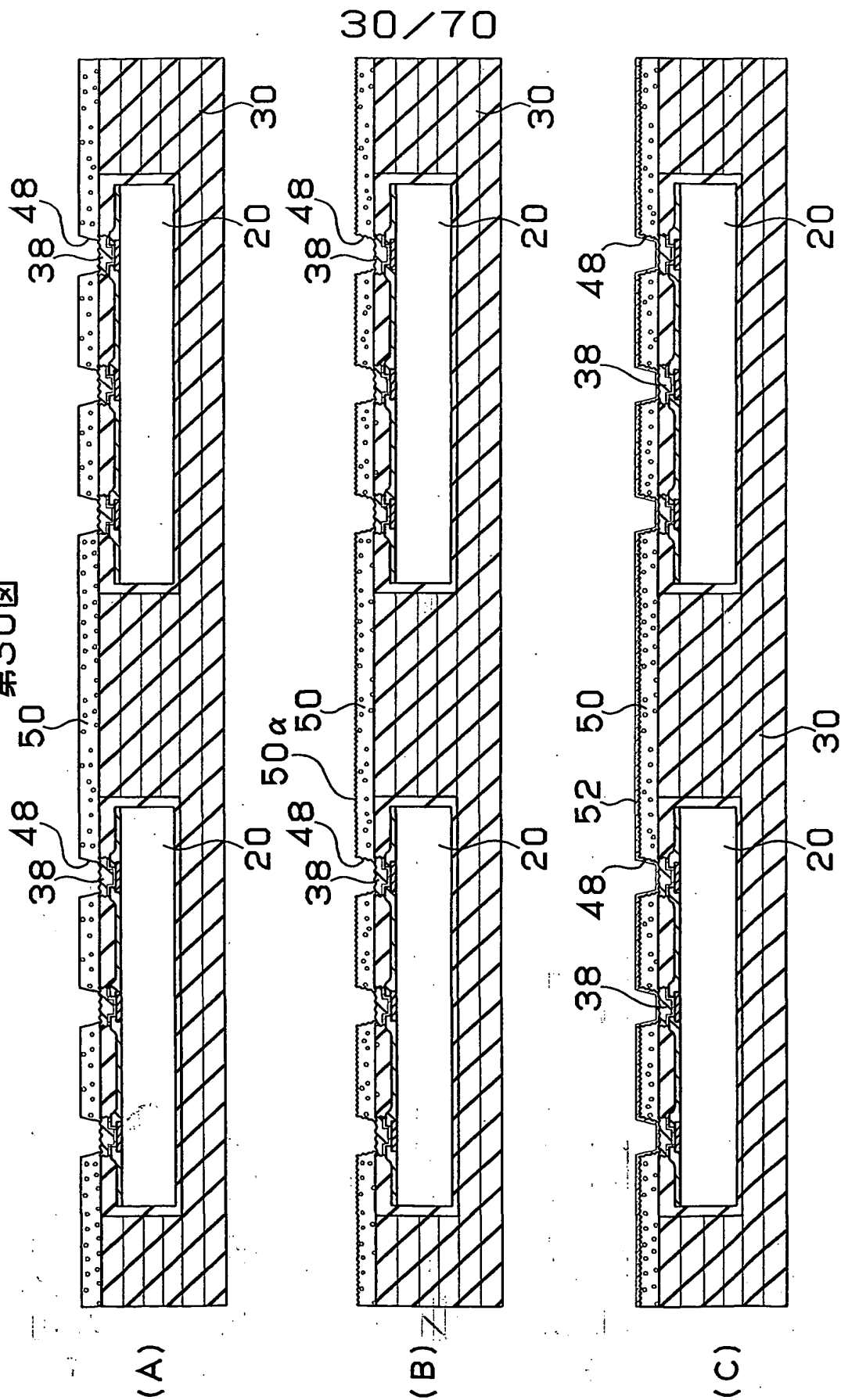
100B

第29図

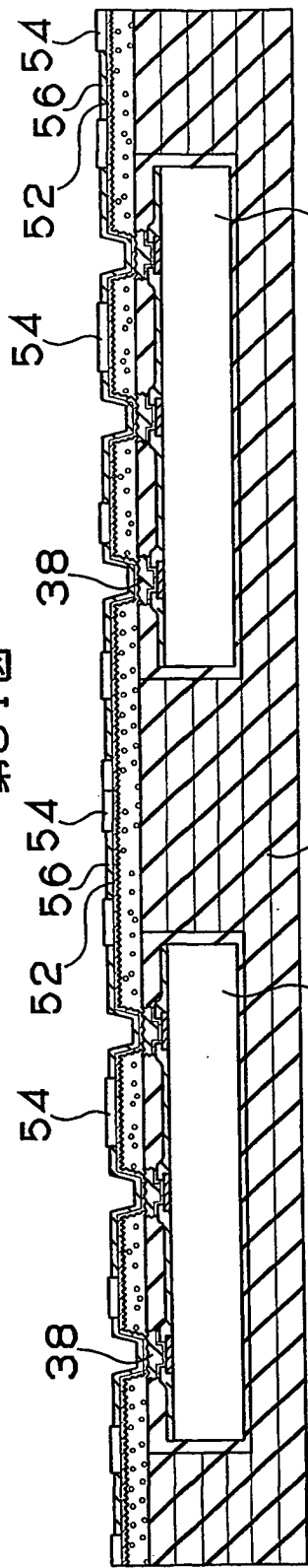


29/70

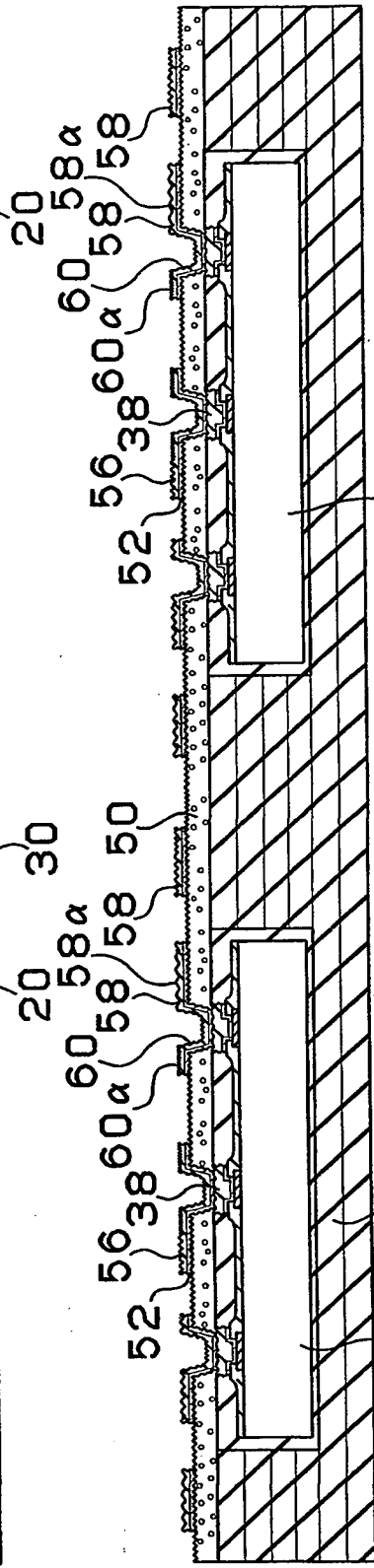
第30図



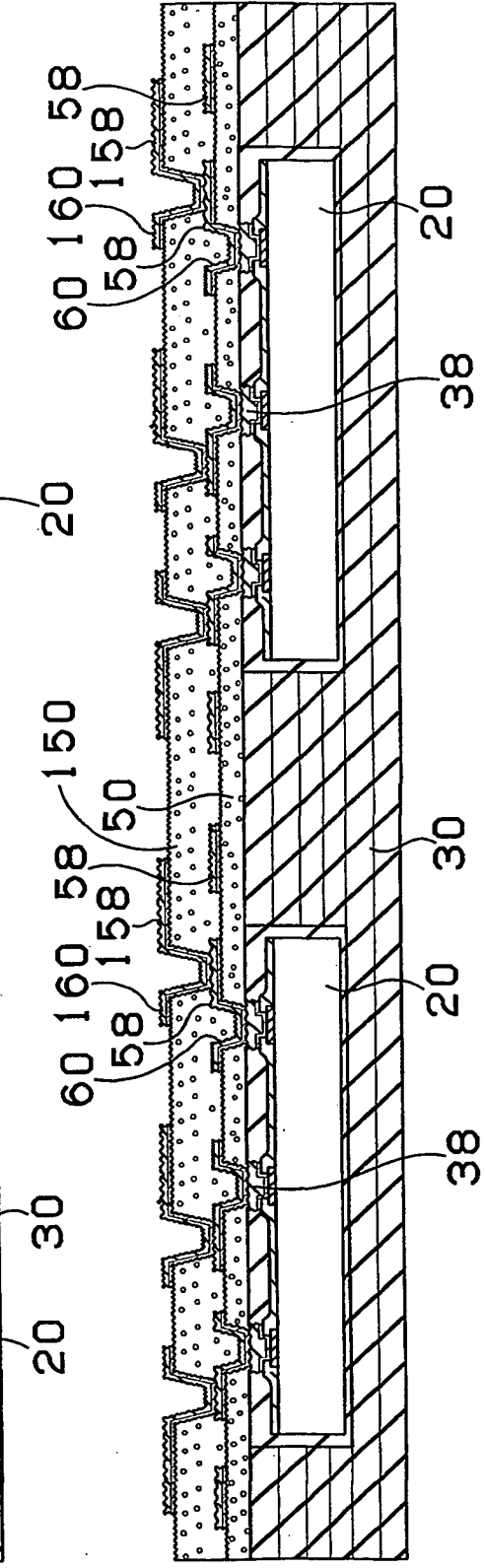
第31図



(A)



(B)

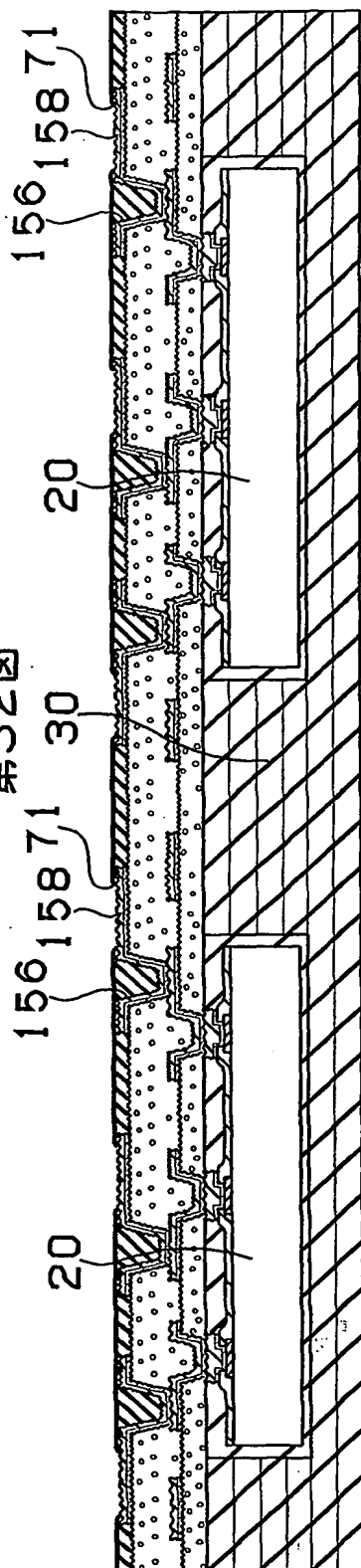


(C)

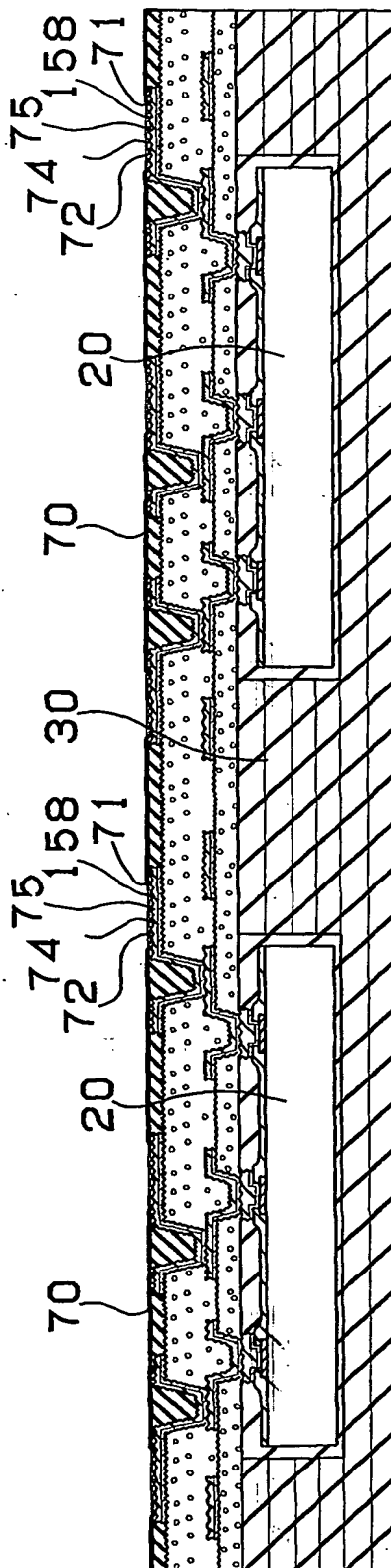
31/70

32/70

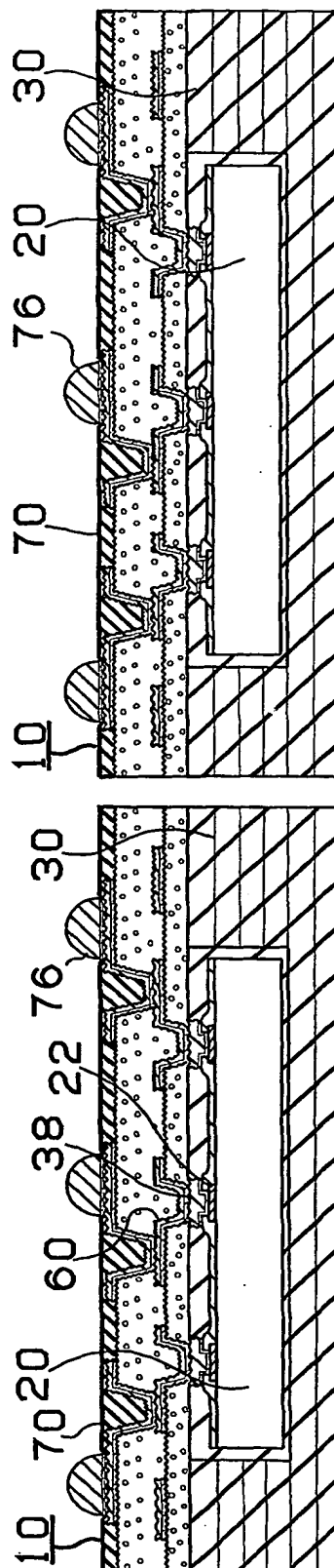
第32図



(A)



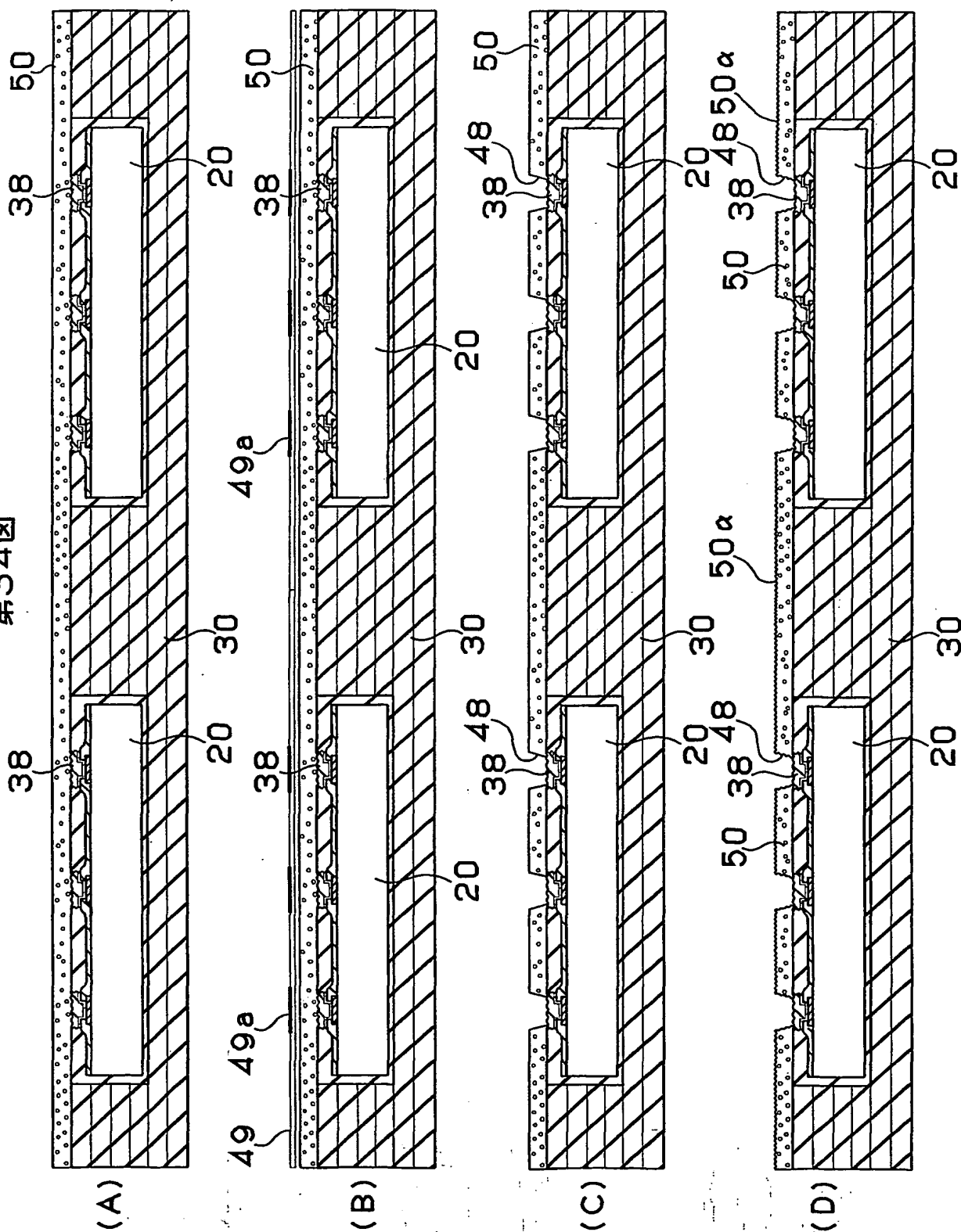
(B)



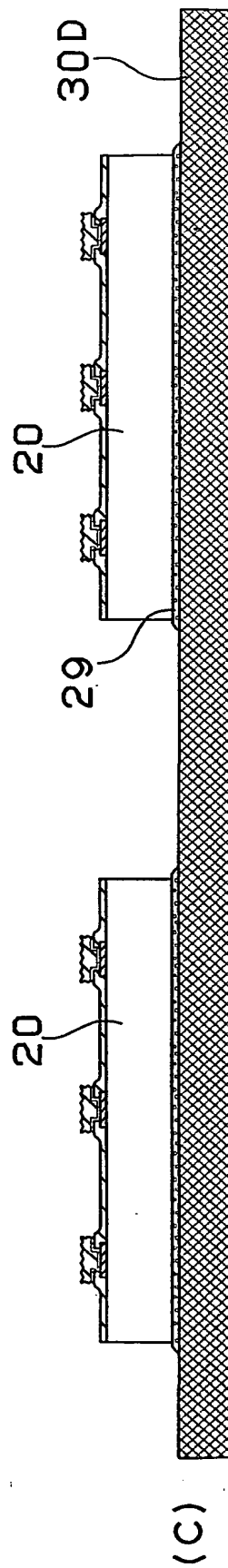
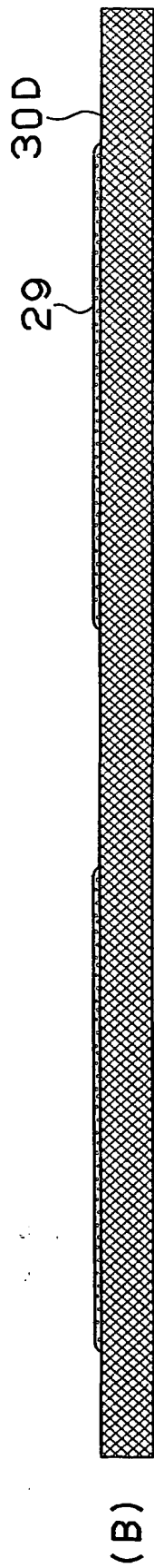
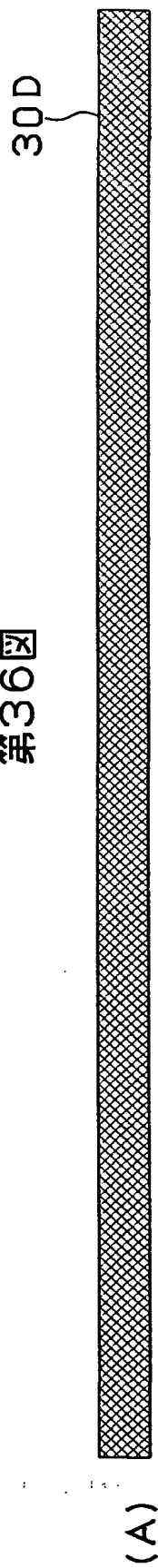
(C)

第34図

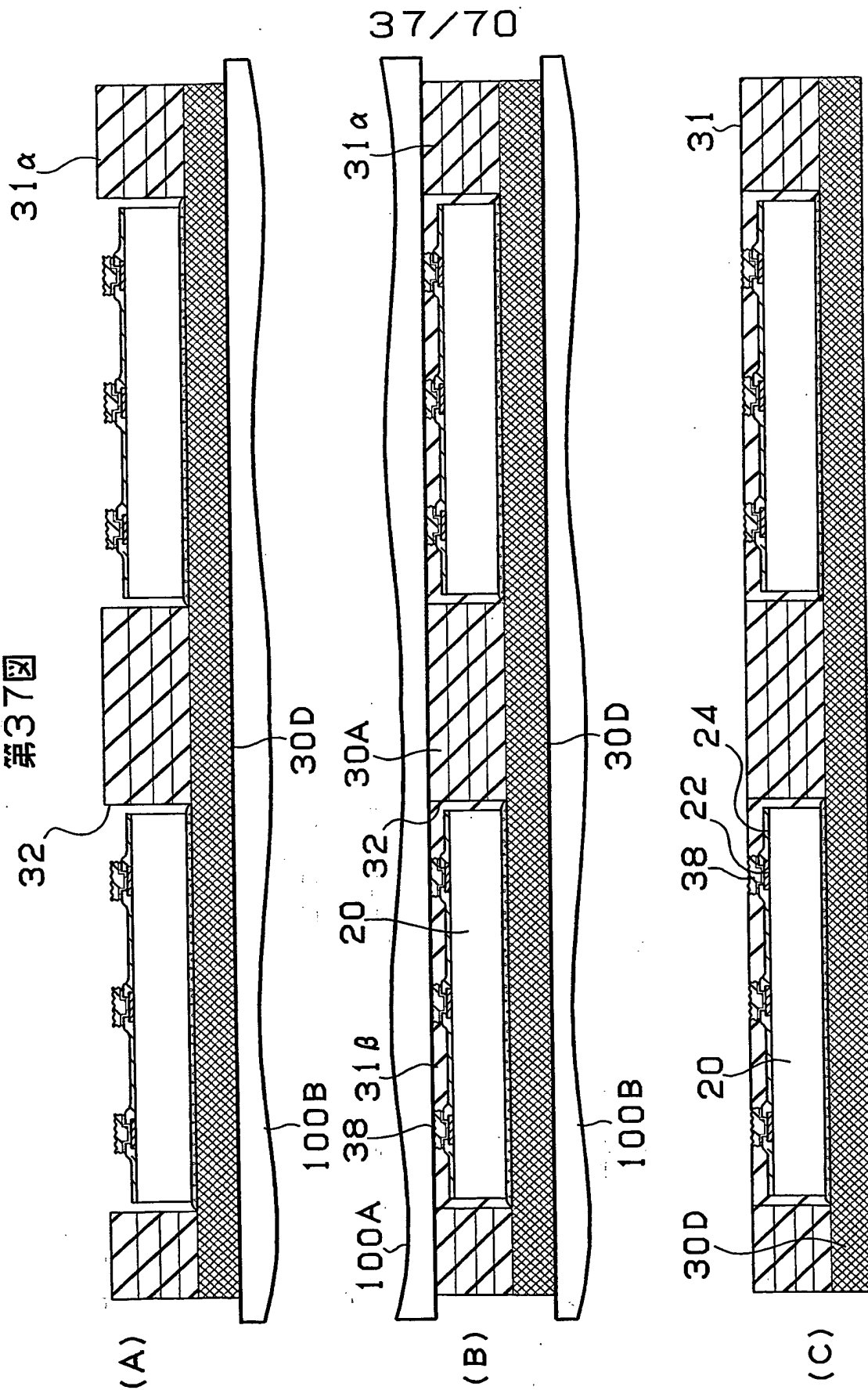
34/70



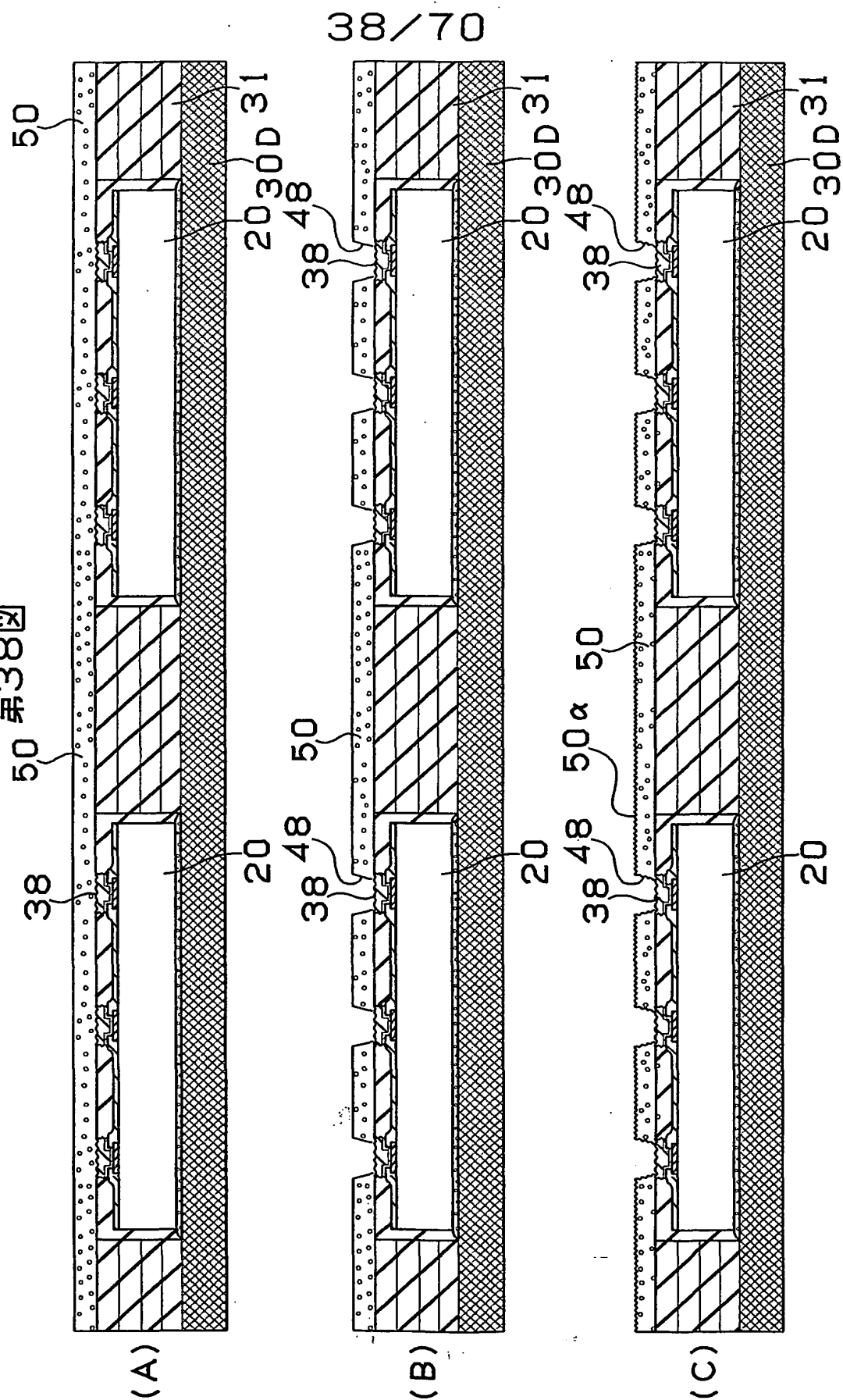
第36図

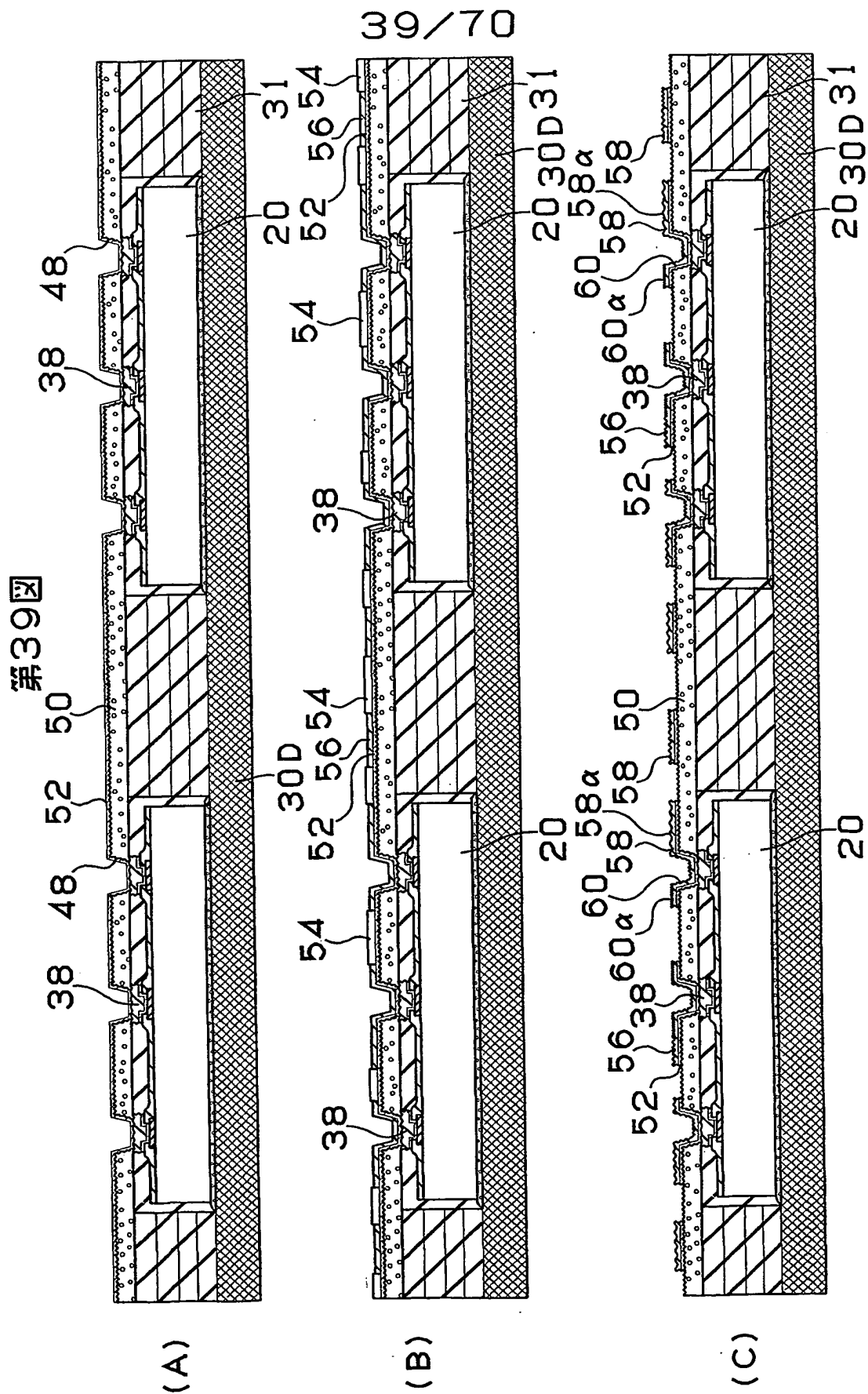


第37図

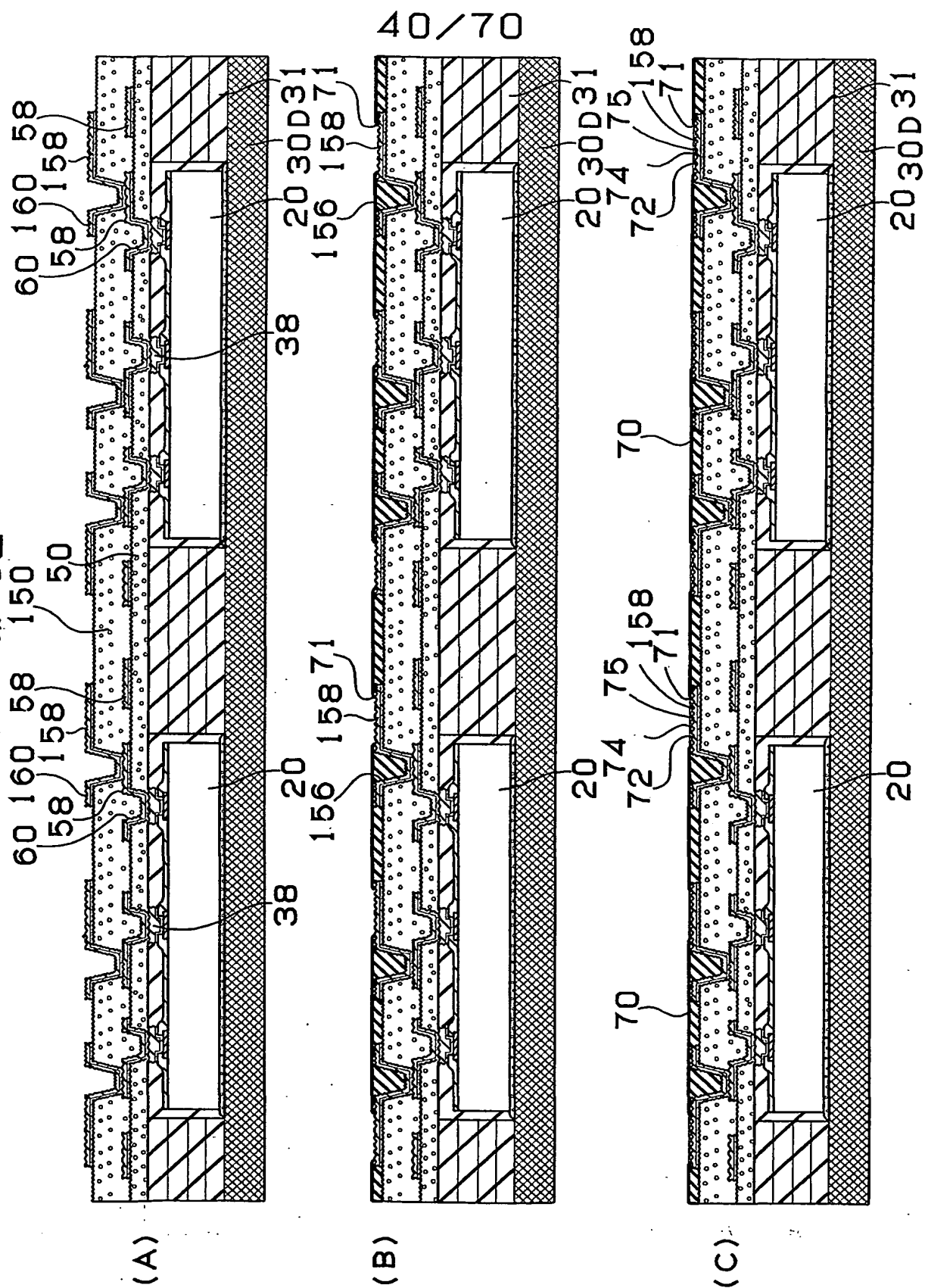


第38図

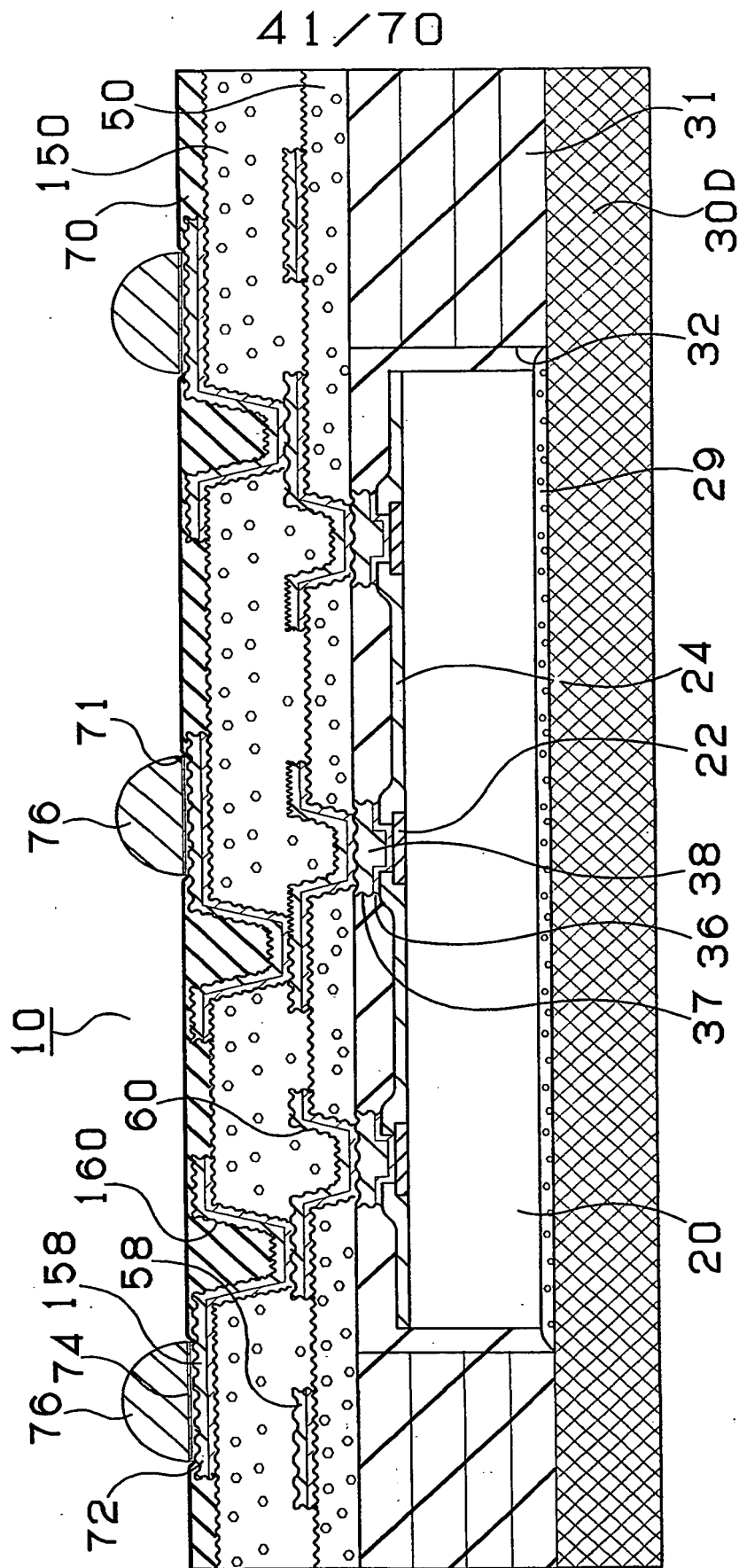




第40図

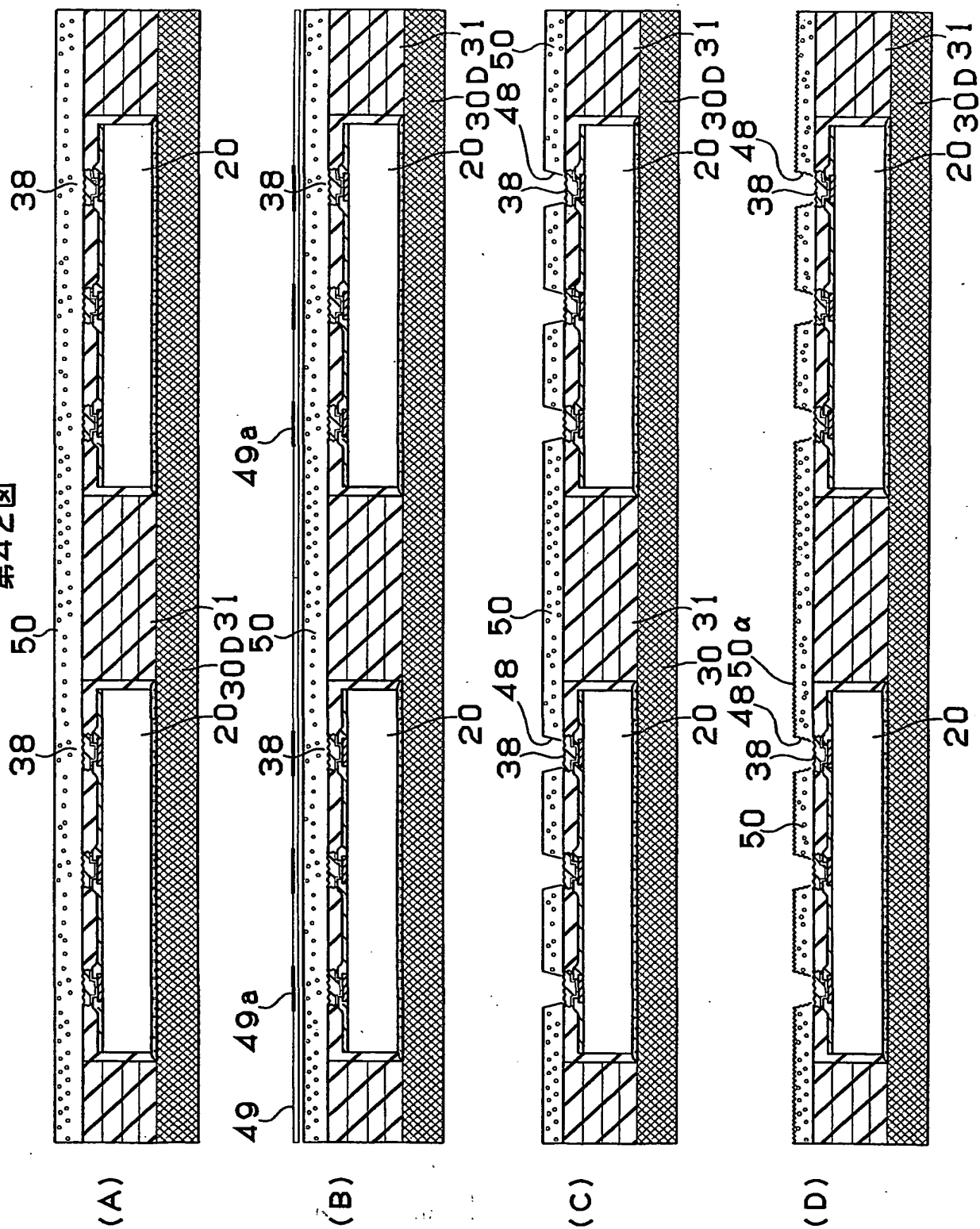


第41図

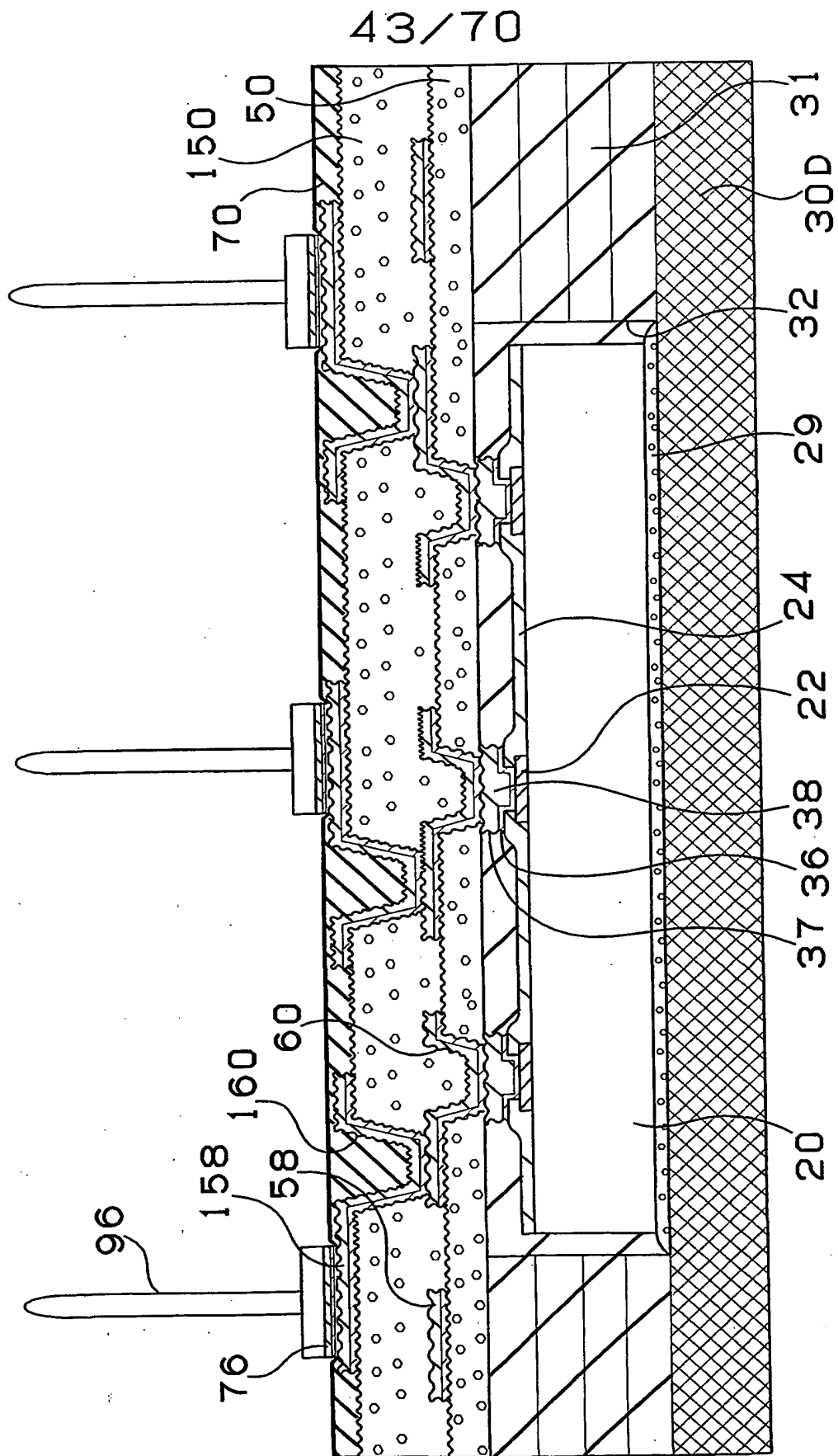


42/70

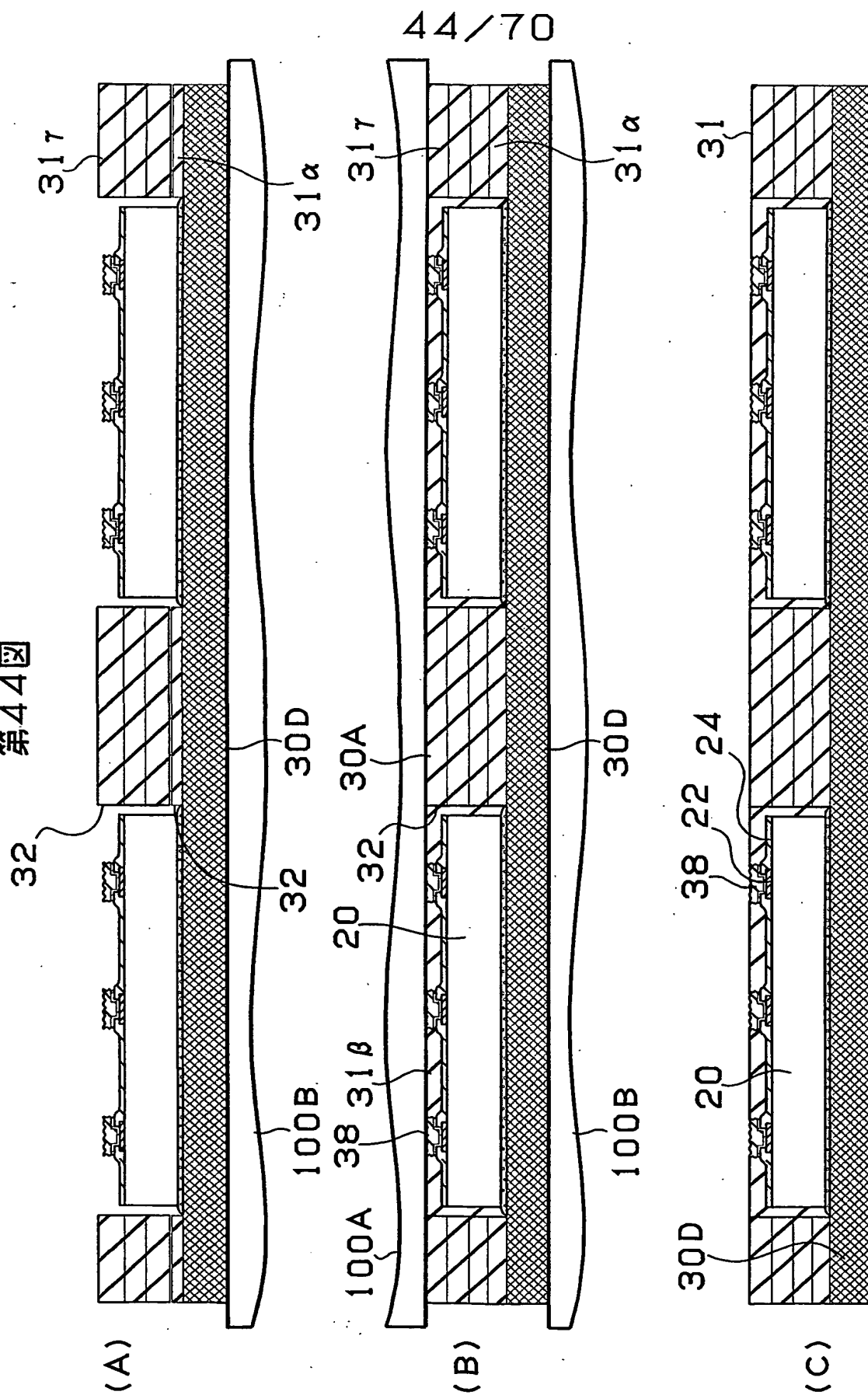
第42図



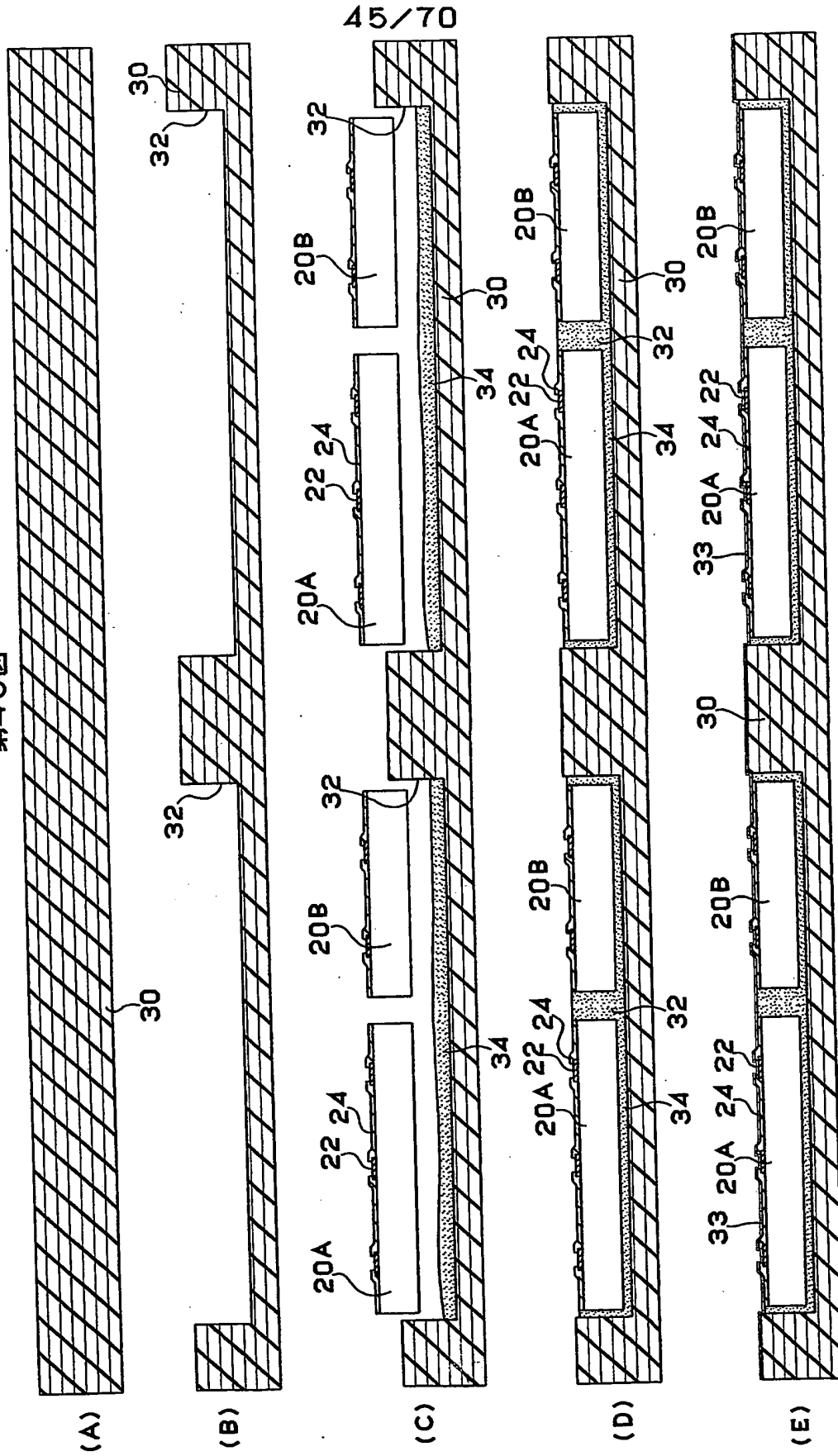
第43図



第44図

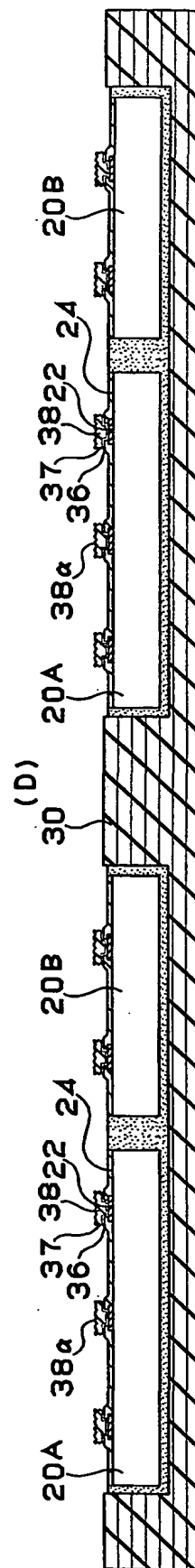
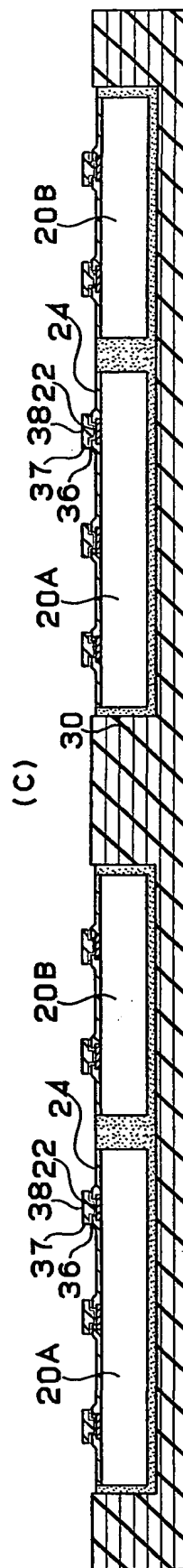
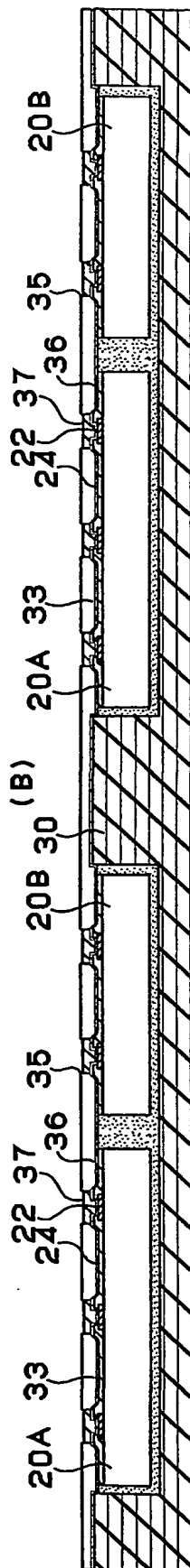
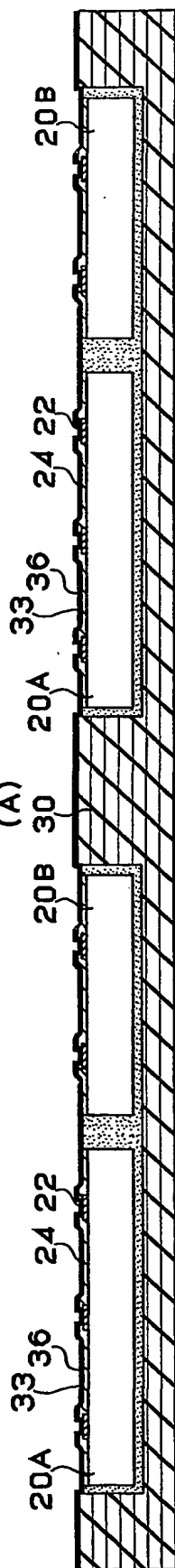


第45図

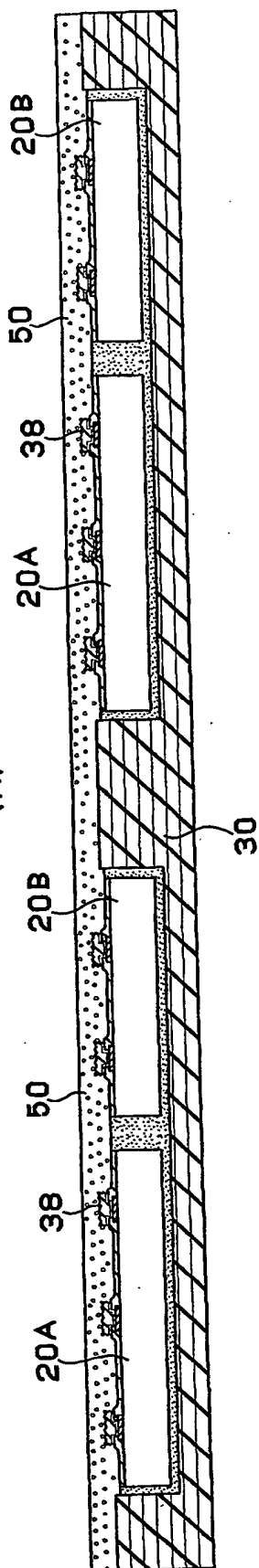


46/70

第46図

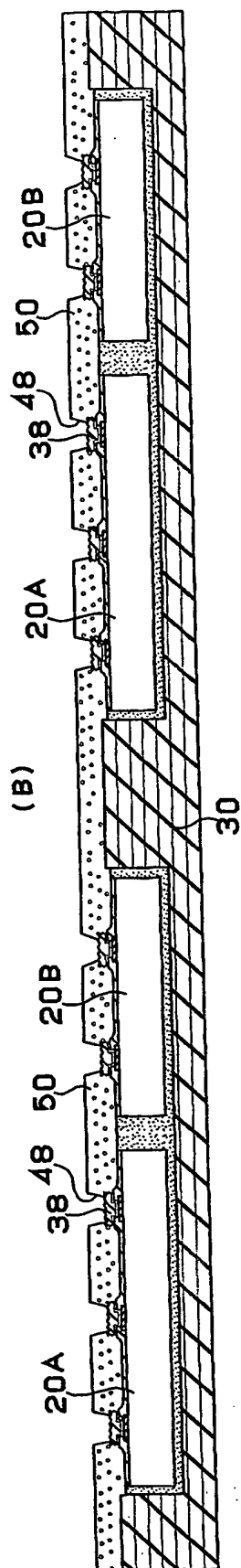


第47図
(A)

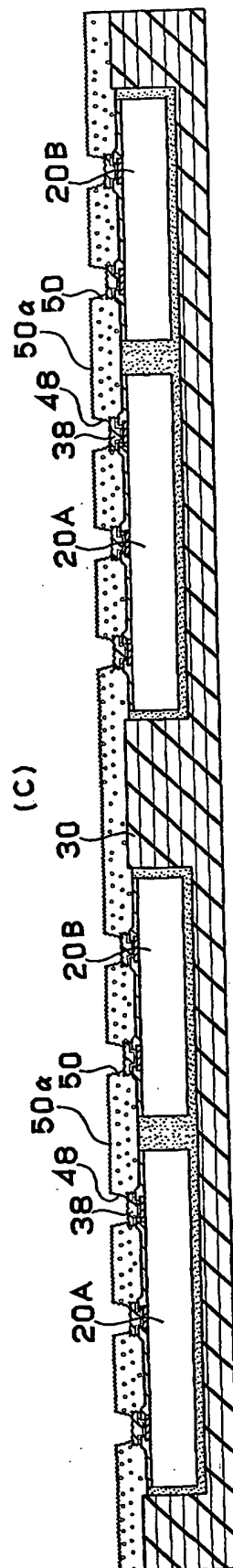


47/70

(B)

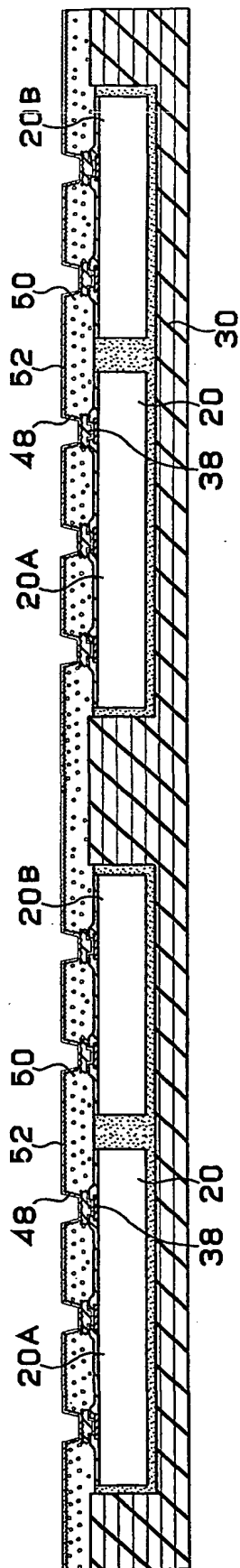


(C)

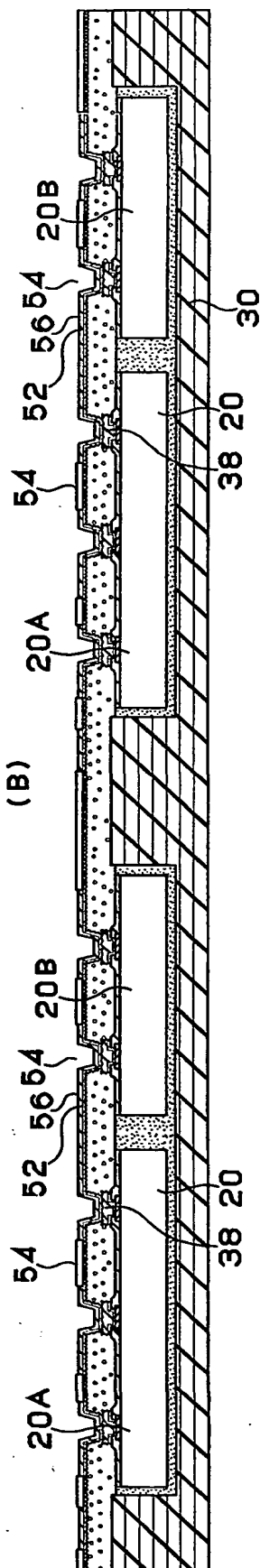


第48図

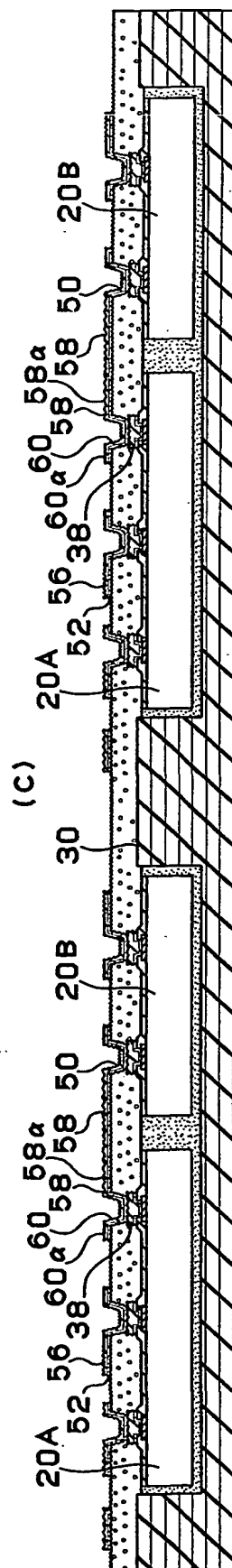
(A)



(B)



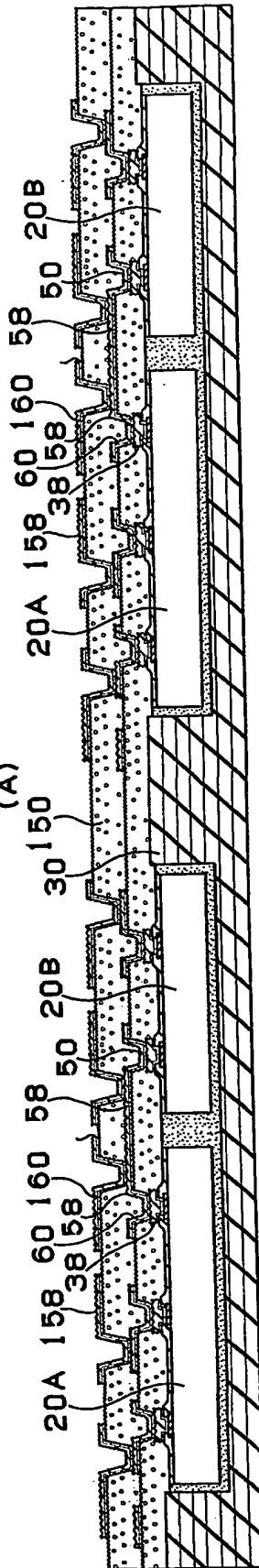
(C)



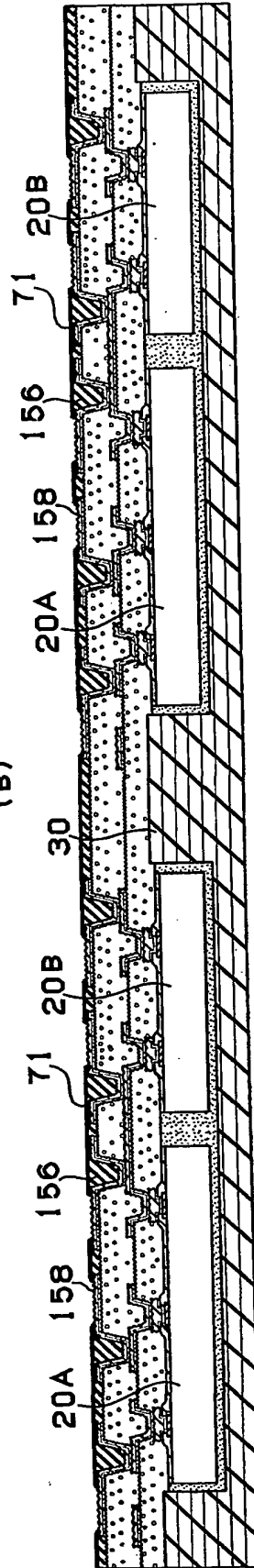
48/70

第49図

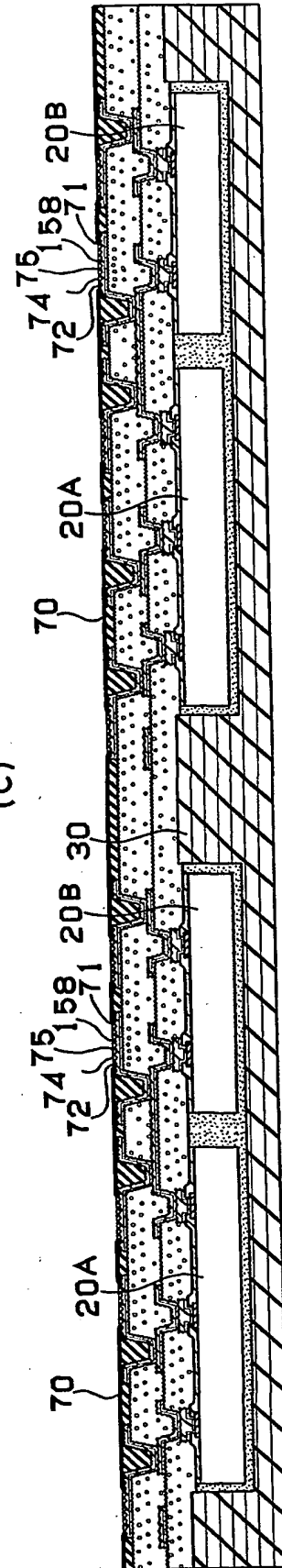
(A)



(B)

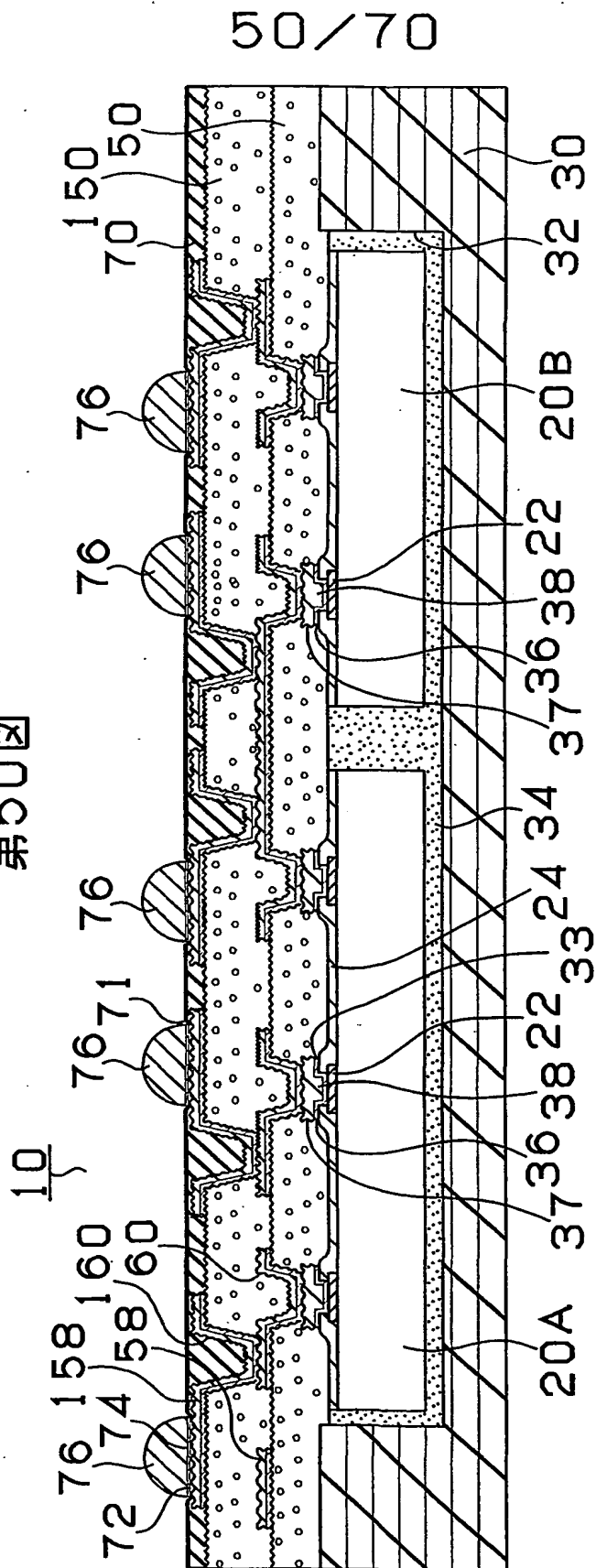


(C)

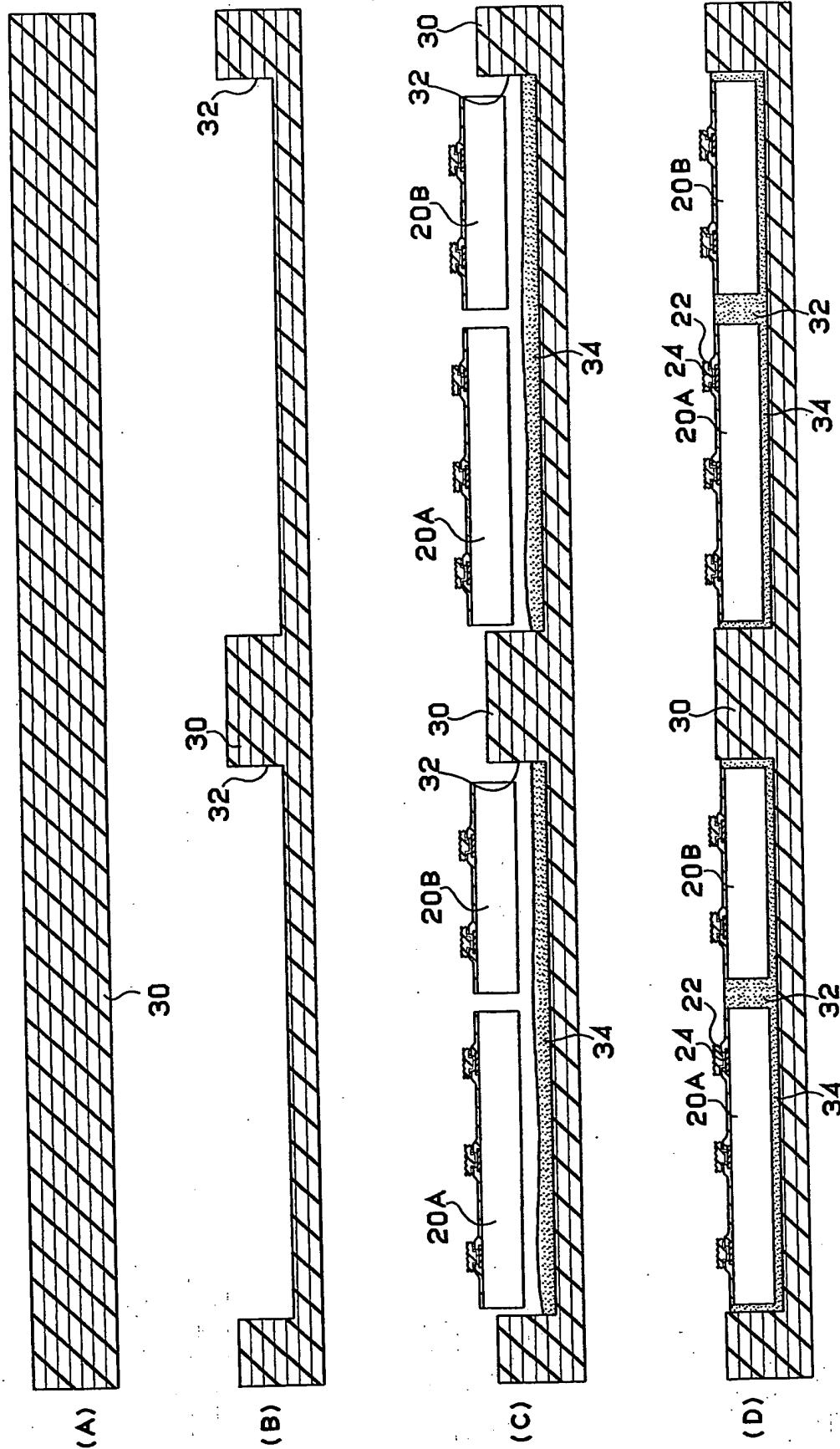


49/70

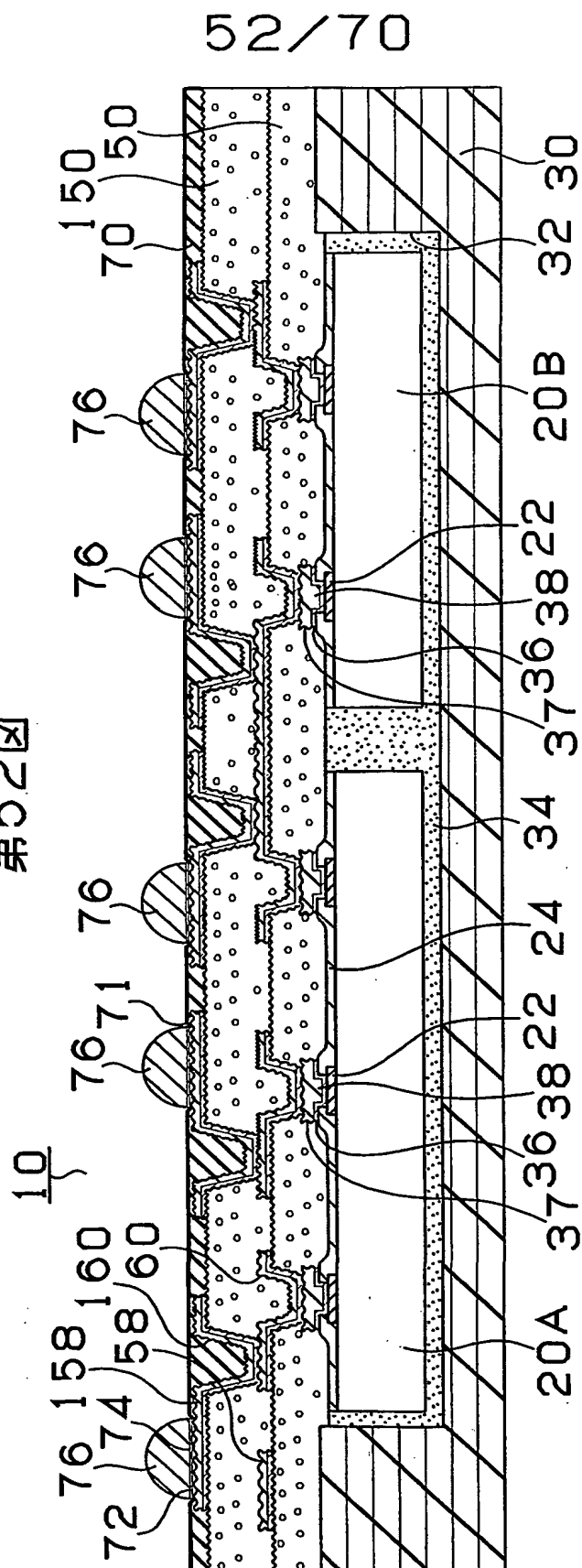
第50図



第51図



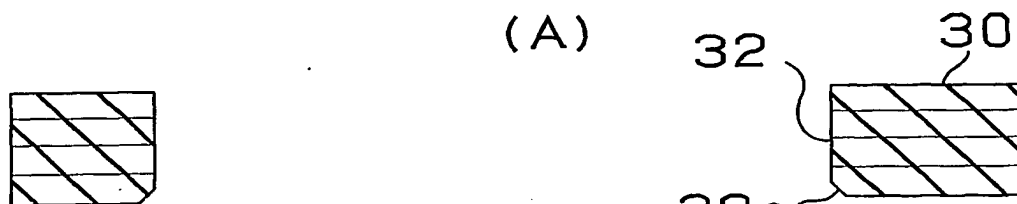
第52図



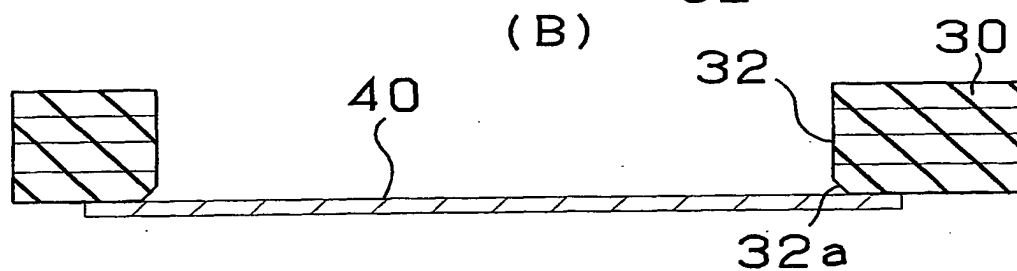
53/70

第53図

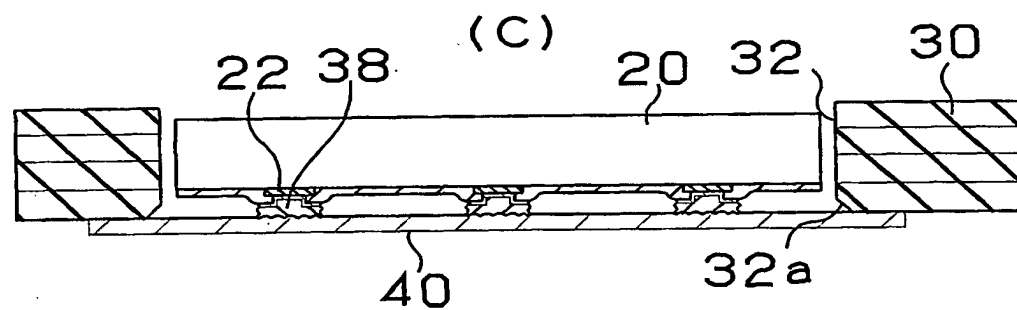
(A)



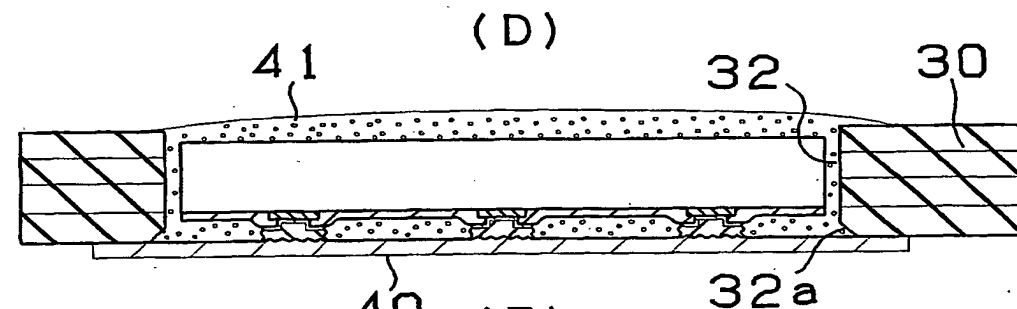
(B)



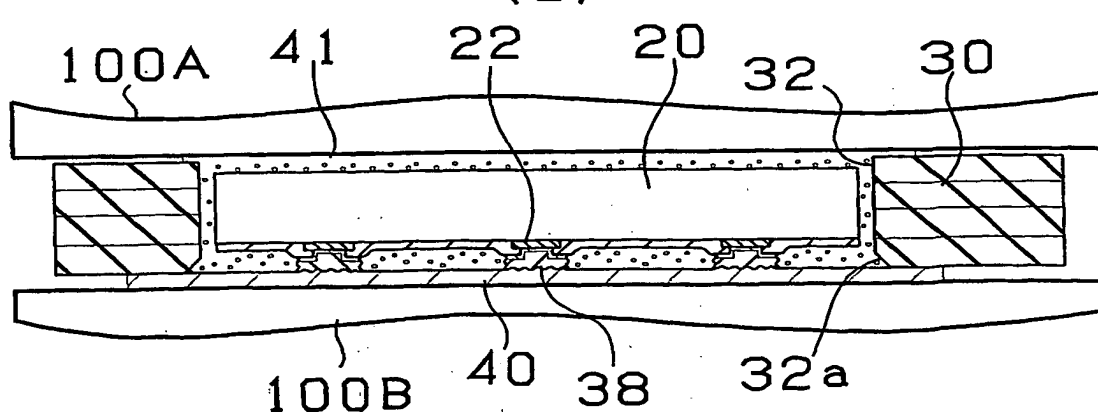
(C)



(D)



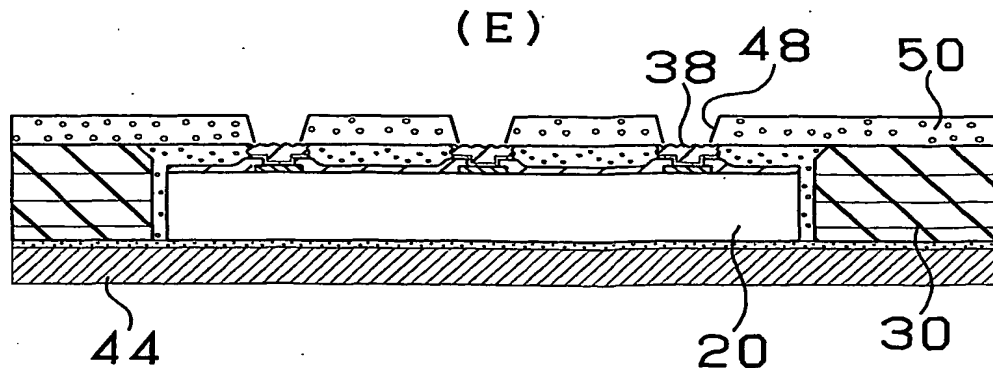
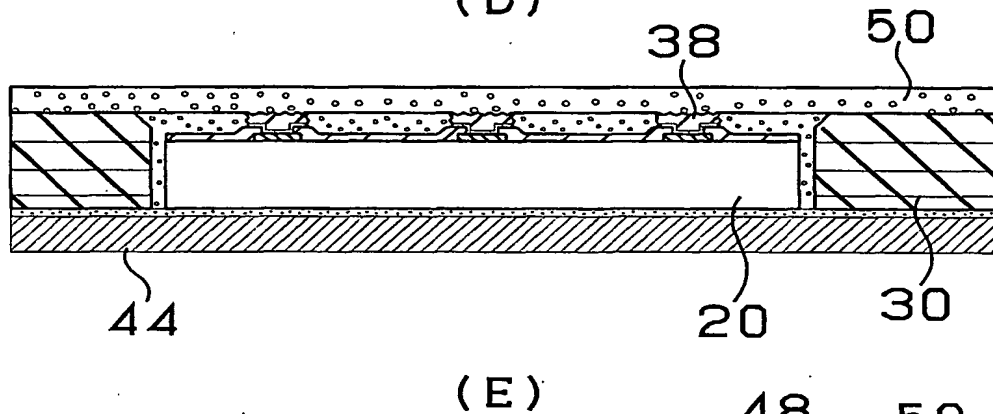
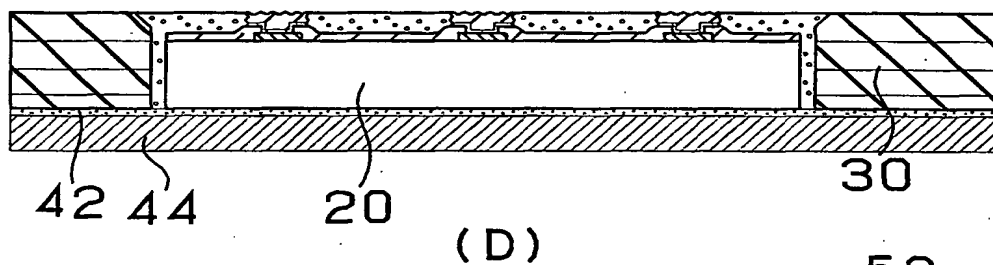
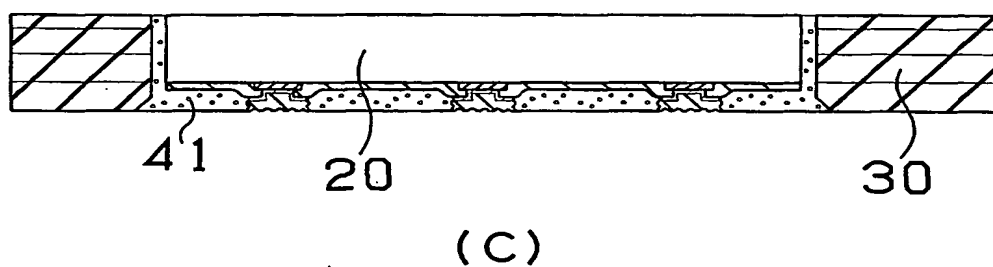
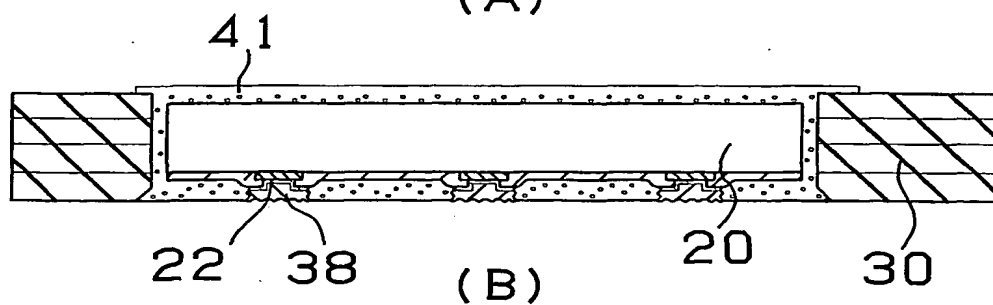
(E)



54/70

第54図

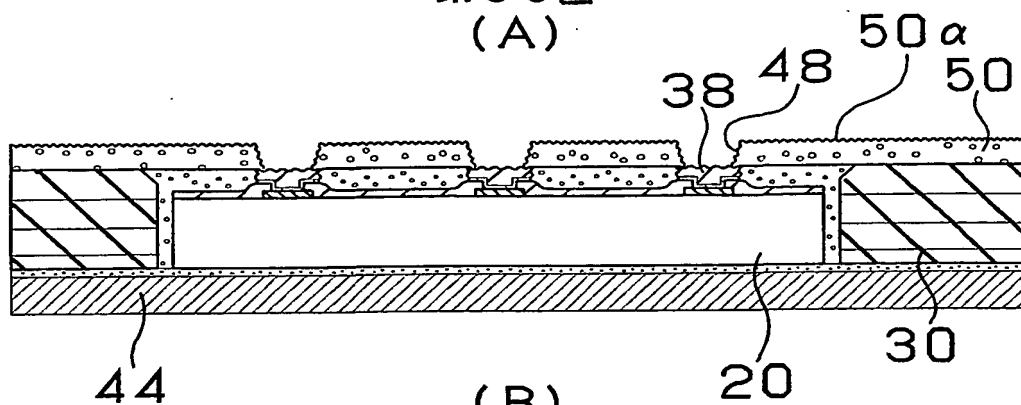
(A)



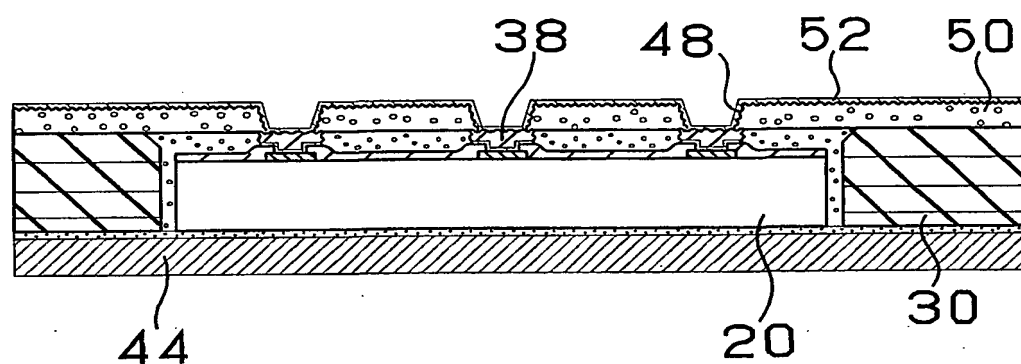
55/70

第55図

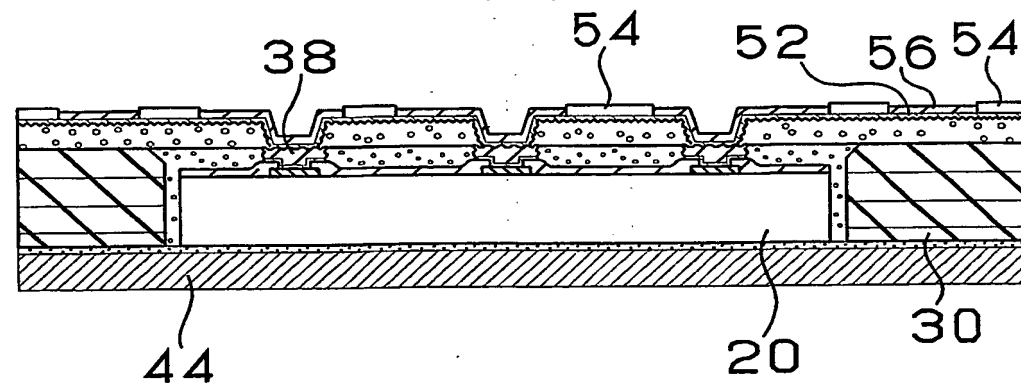
(A)



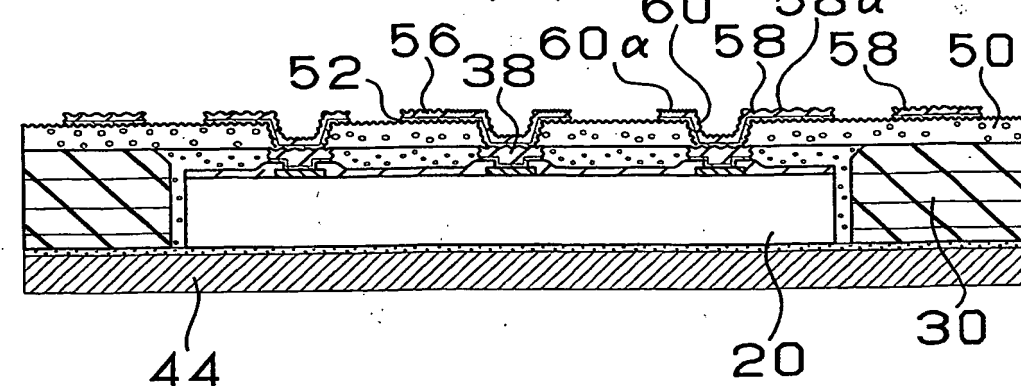
(B)



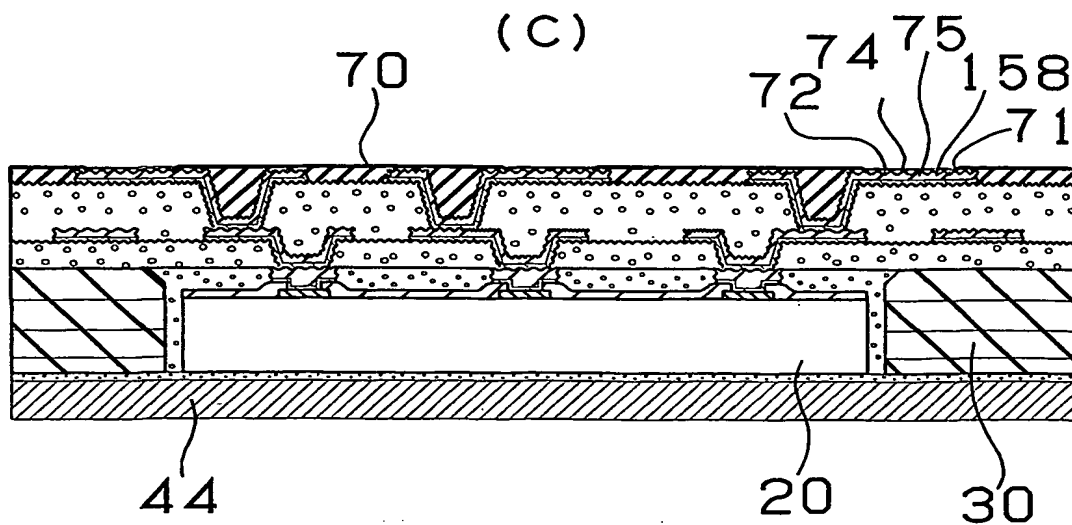
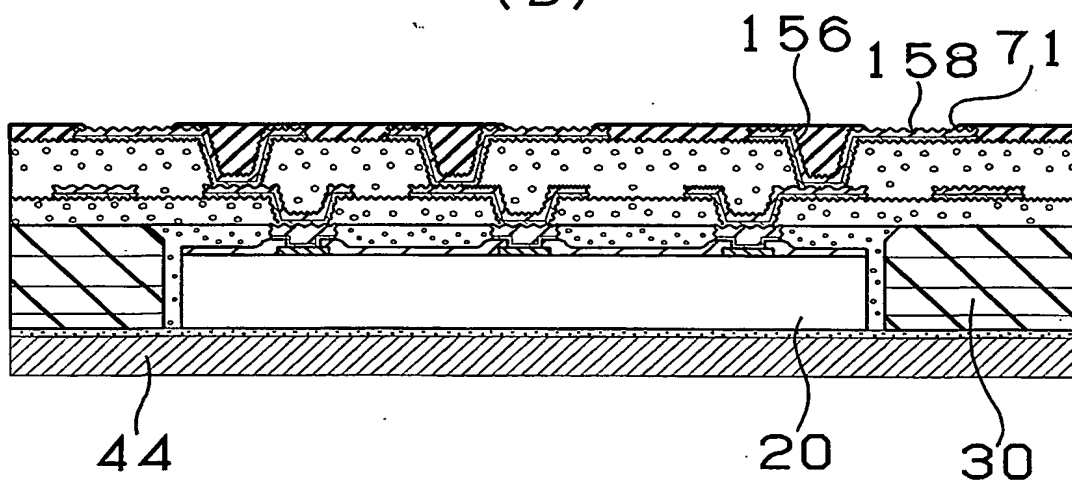
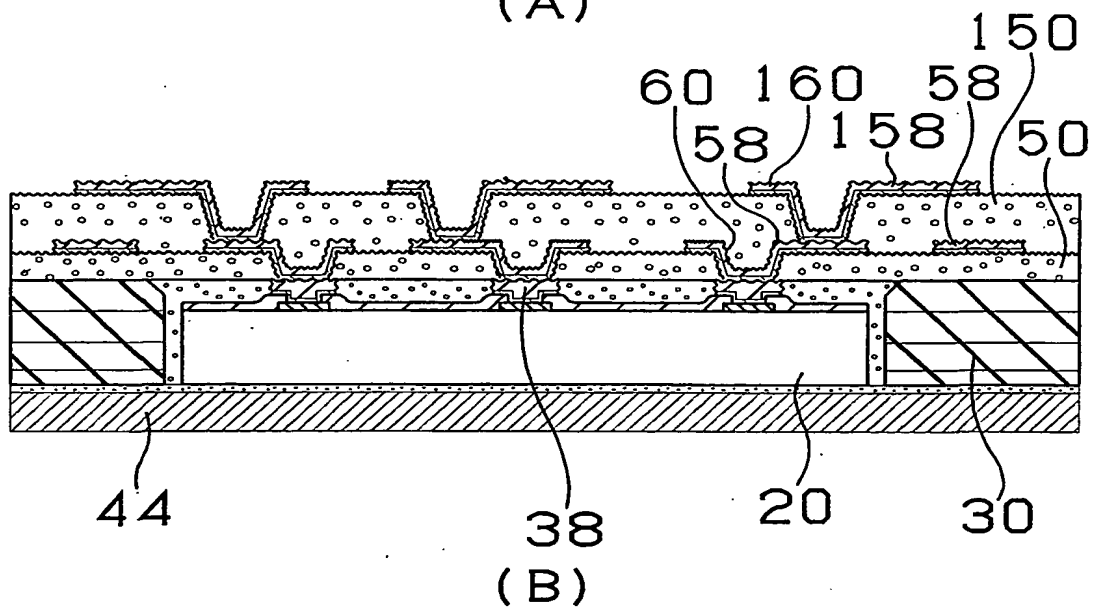
(C)



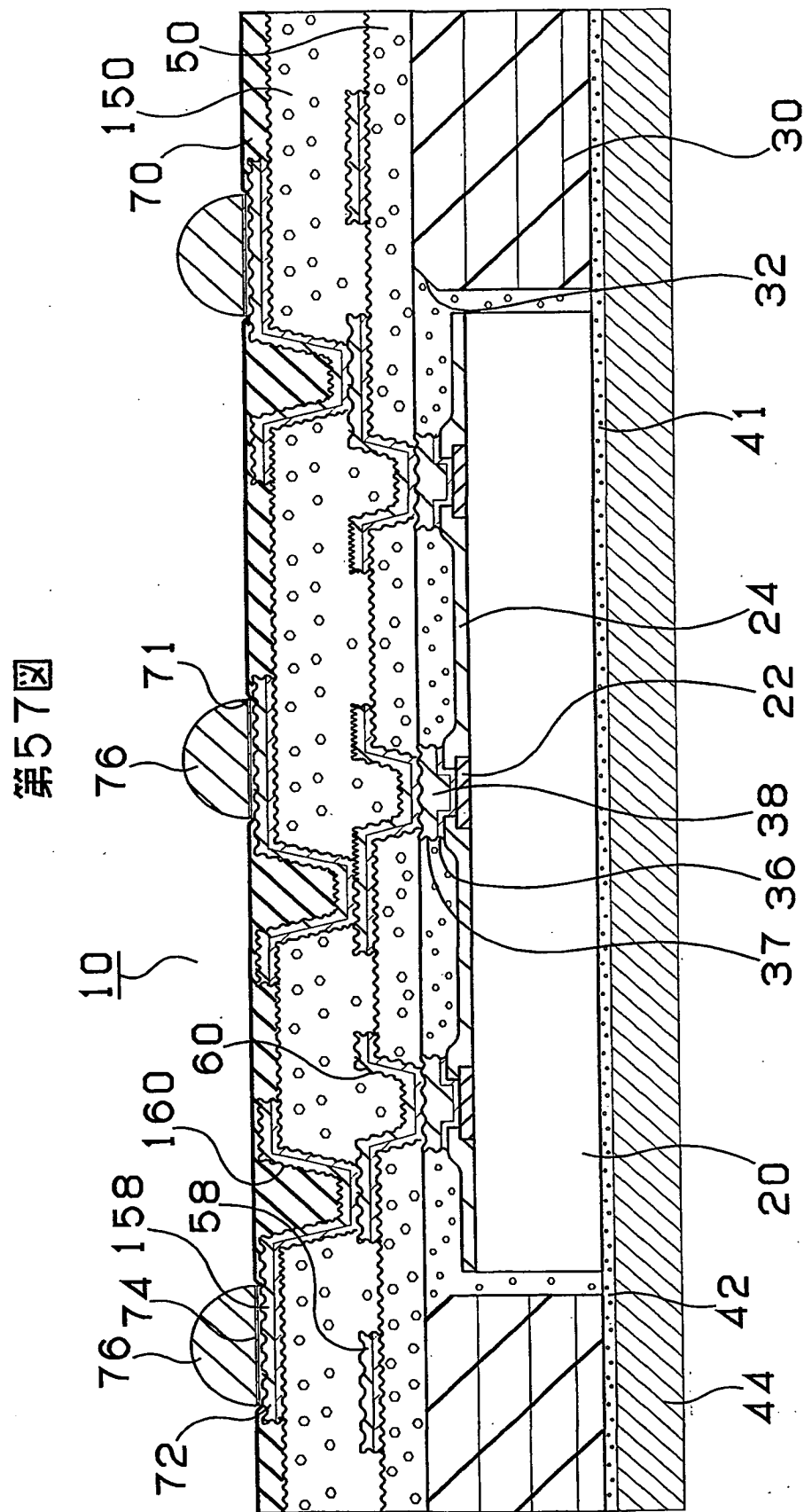
(D)



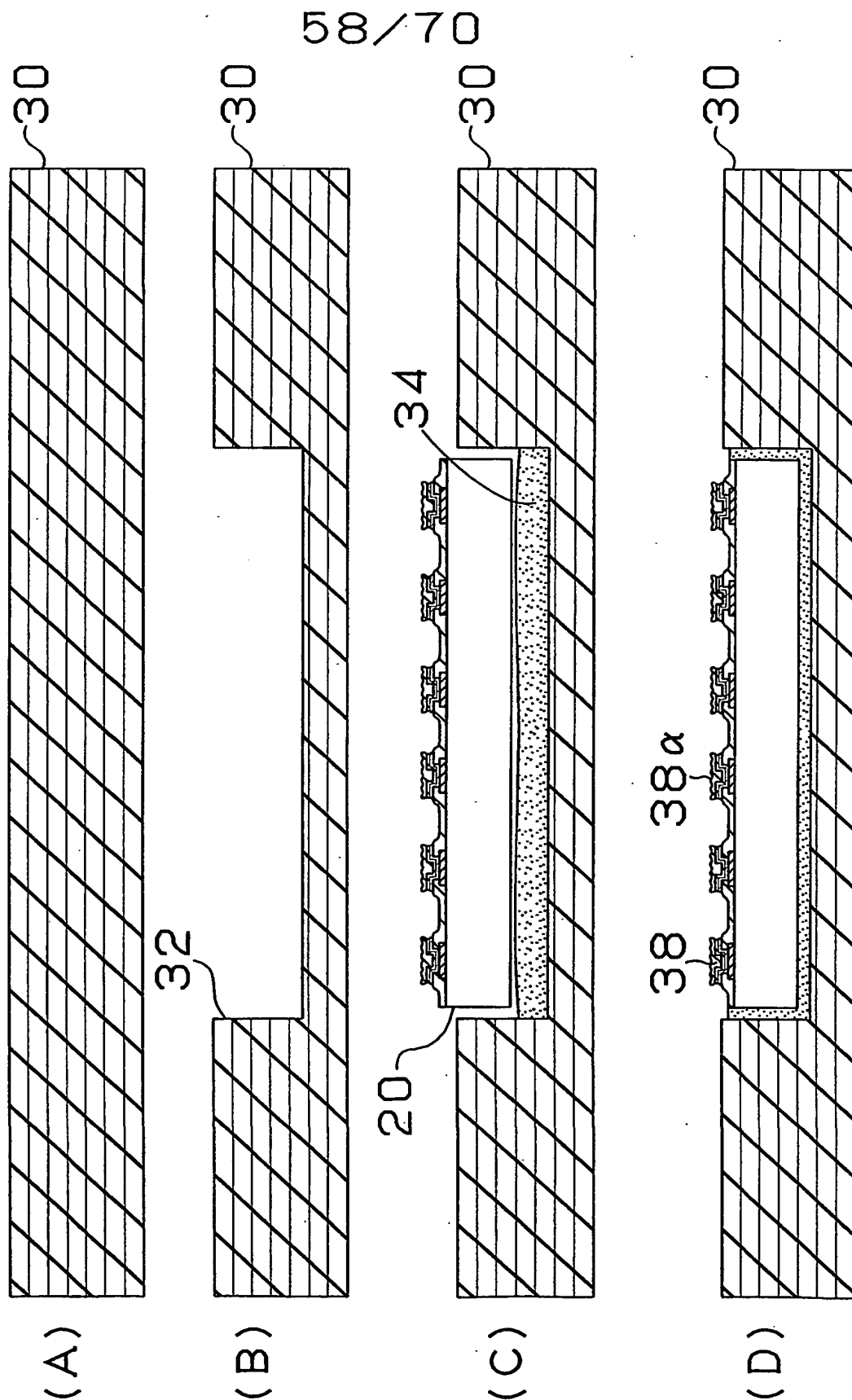
56/70
第56図
(A)



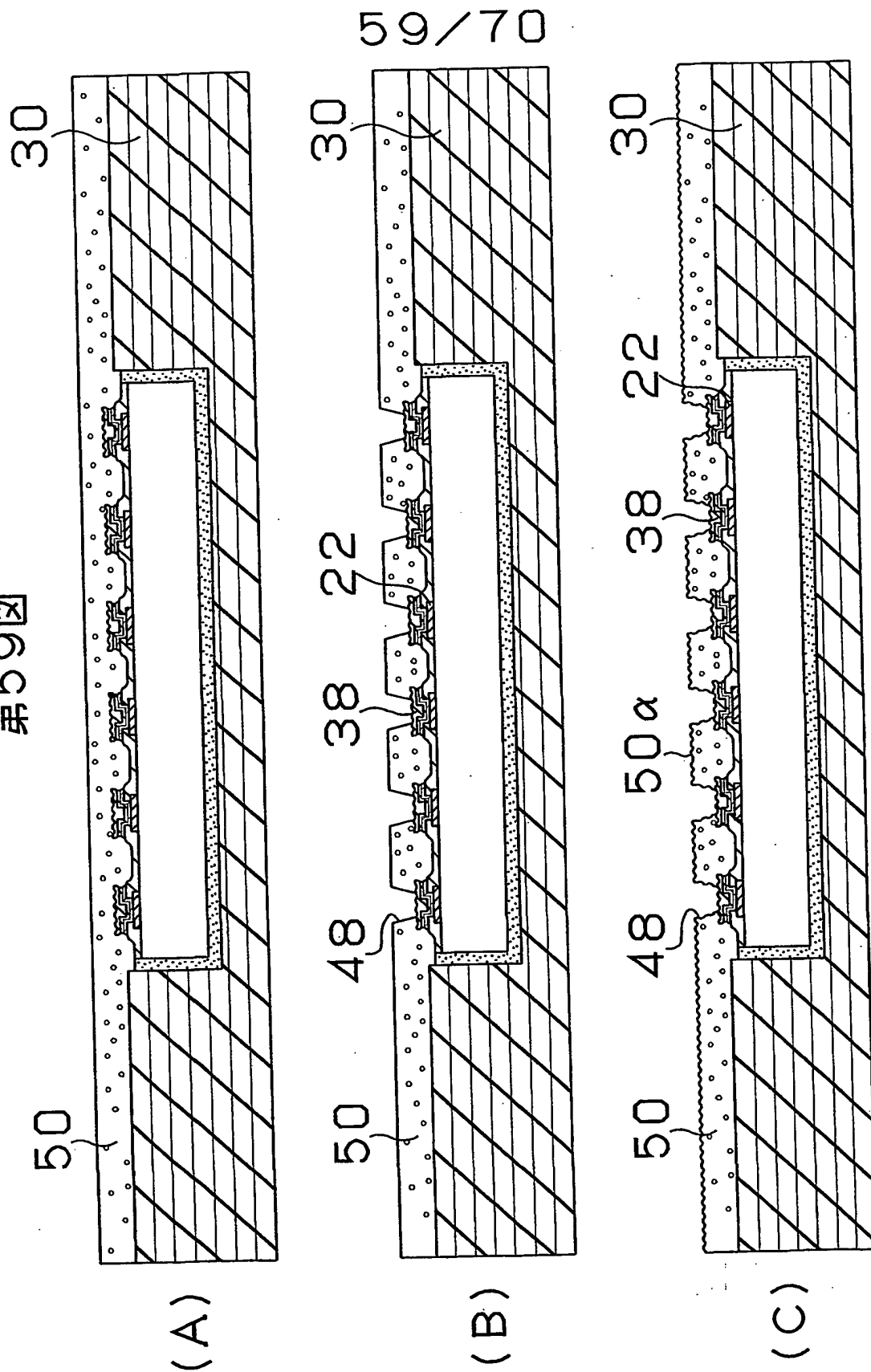
57/70



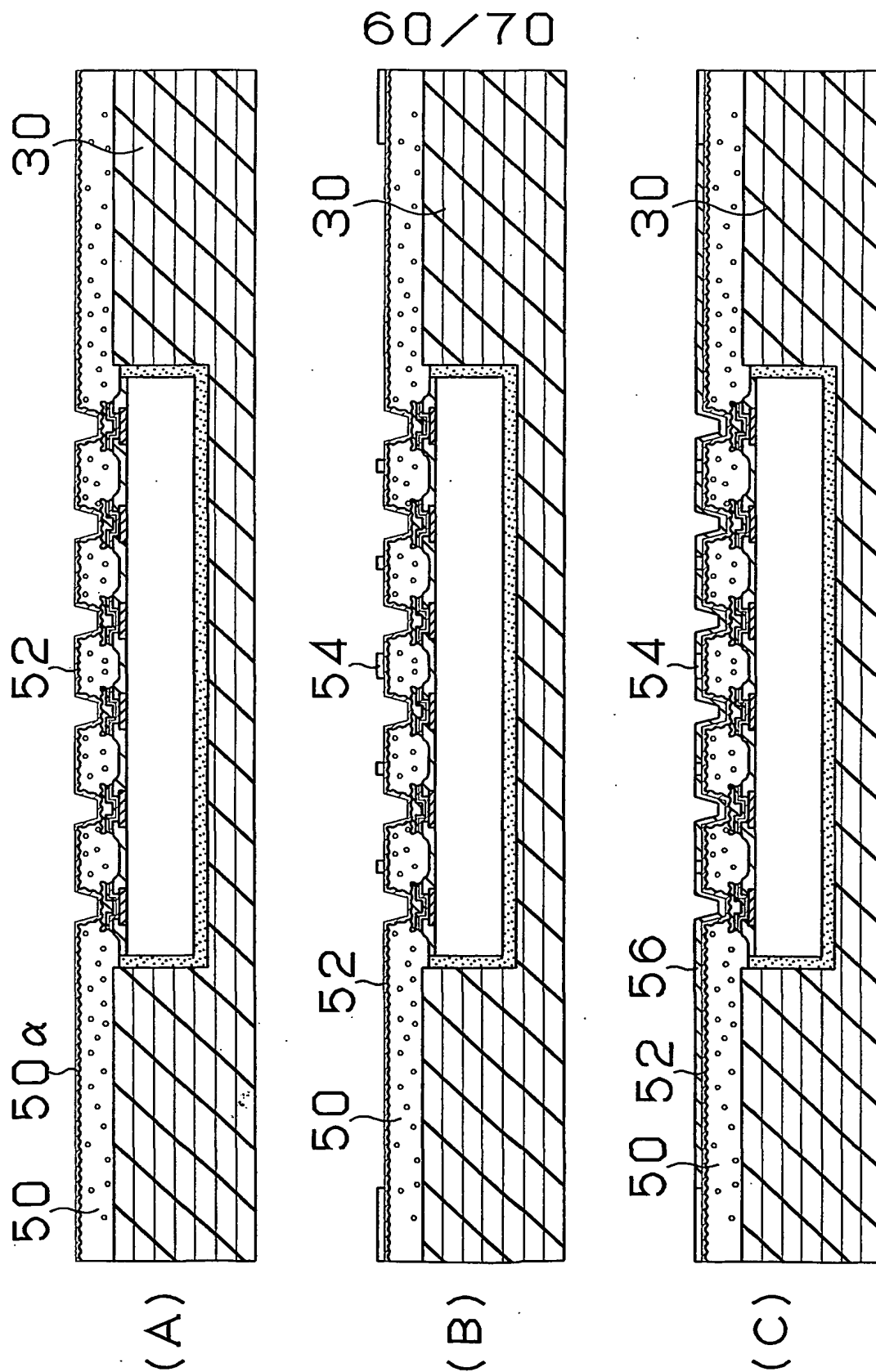
第58図



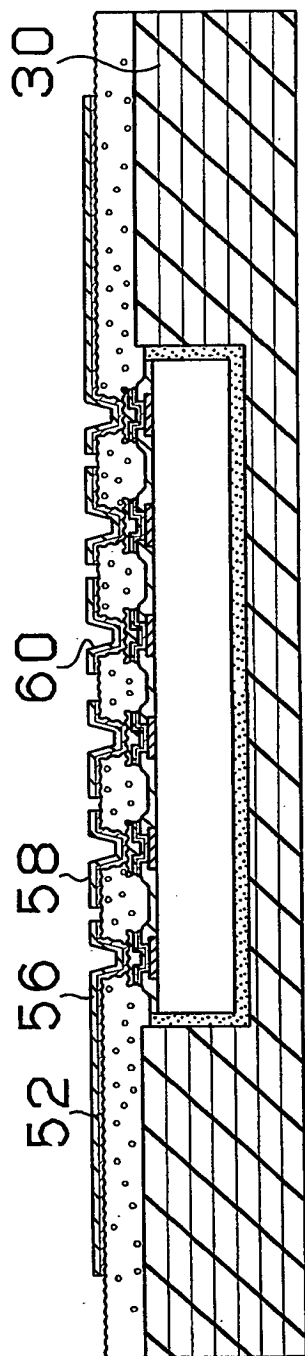
第59図



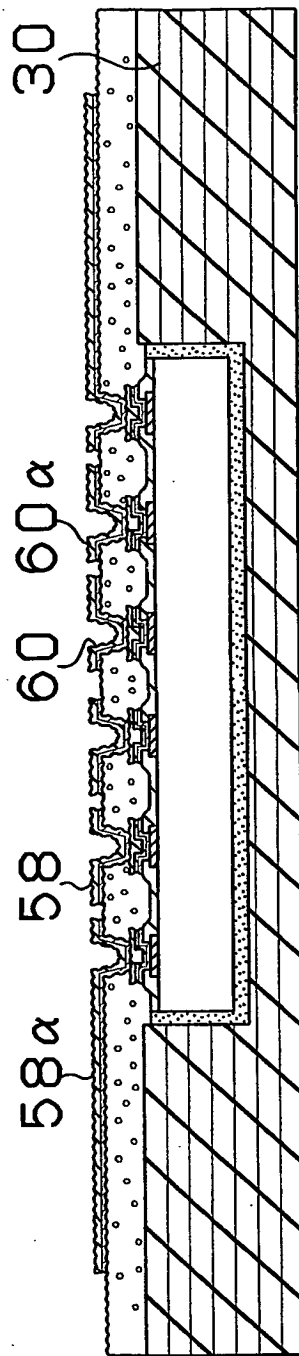
第60図



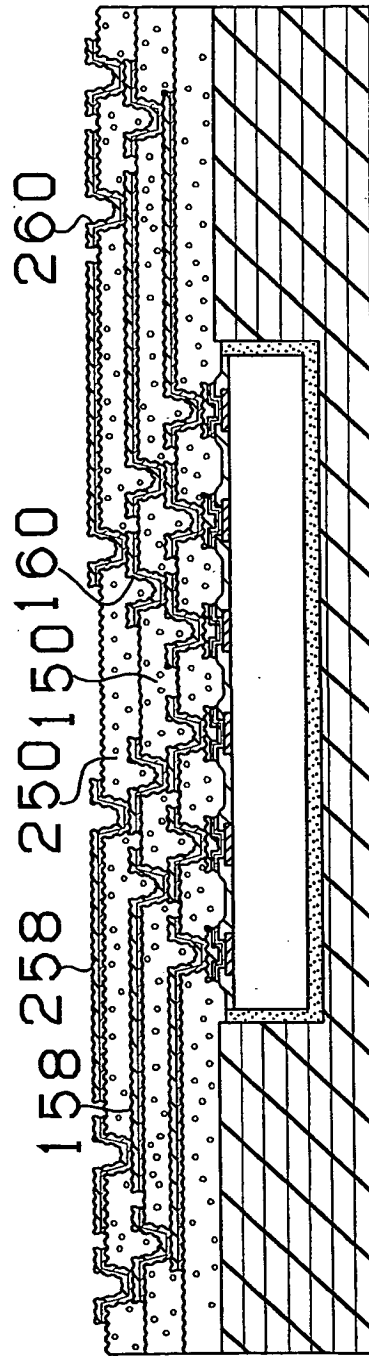
第61図



(A)



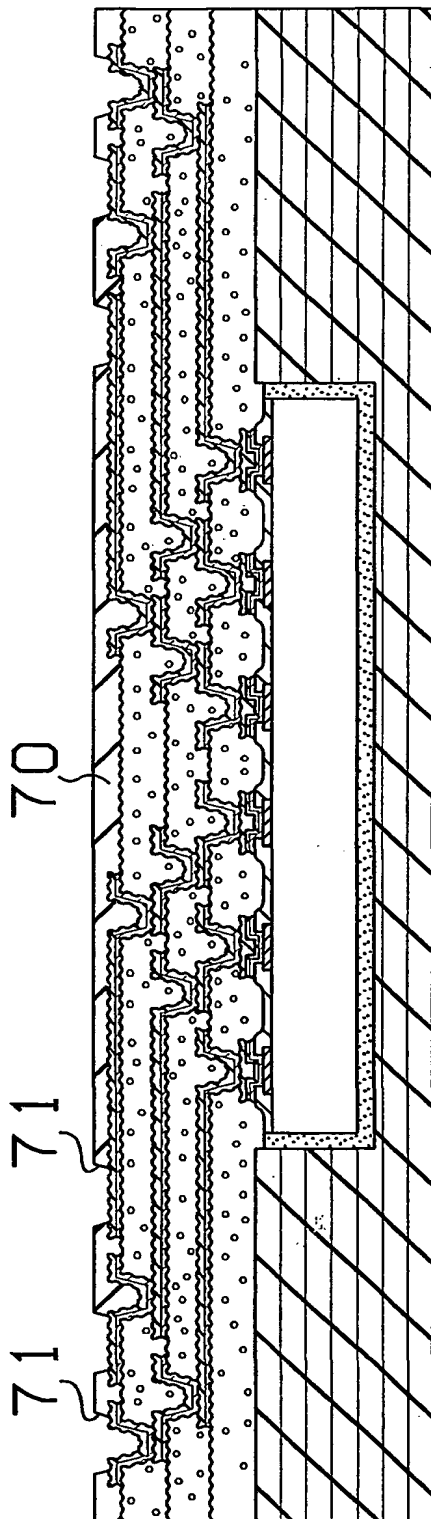
(B)



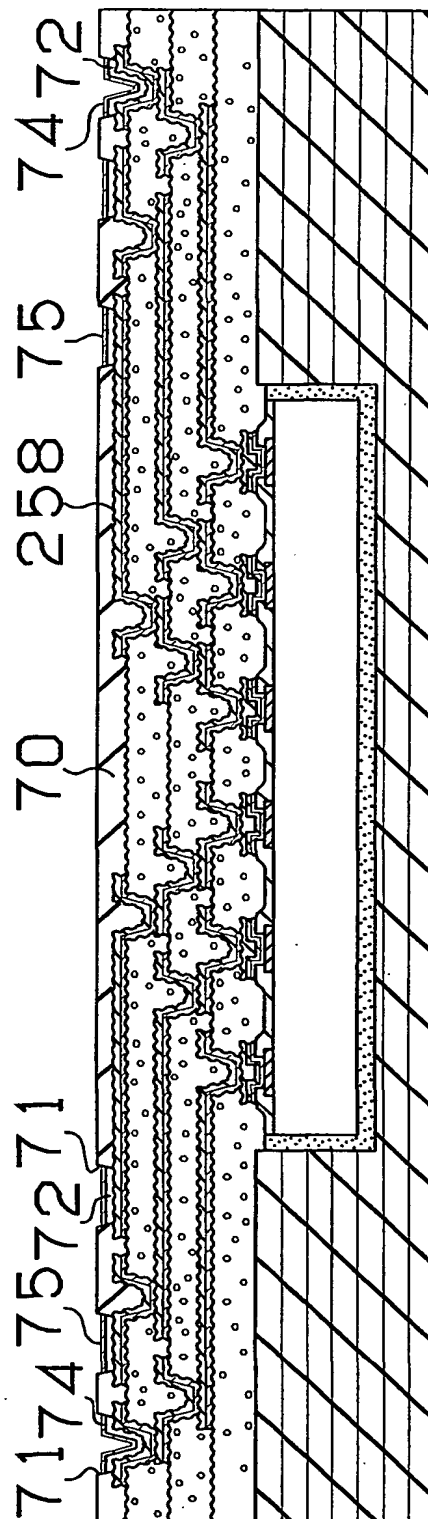
(C)

62/70

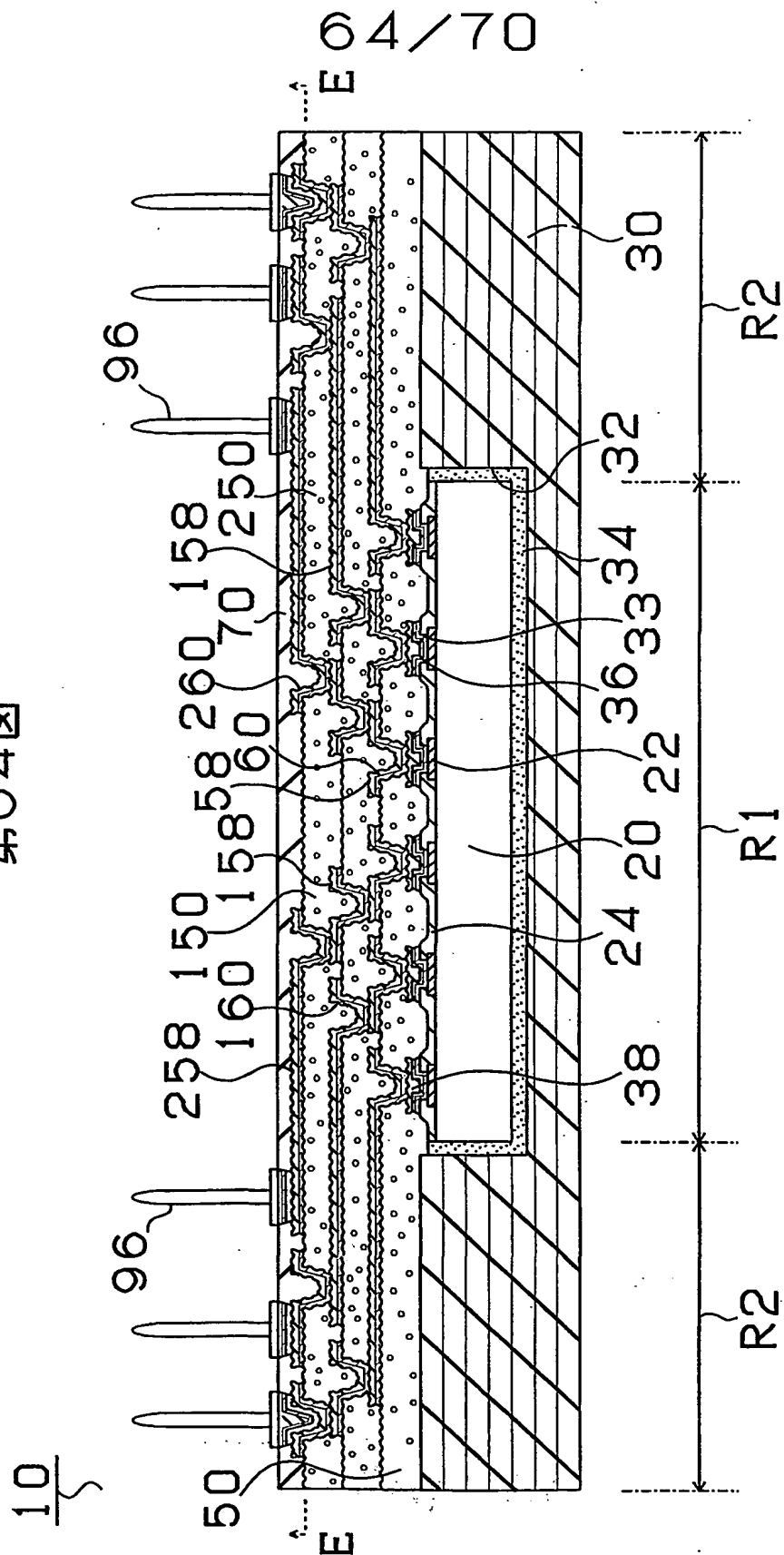
第62図
(A)



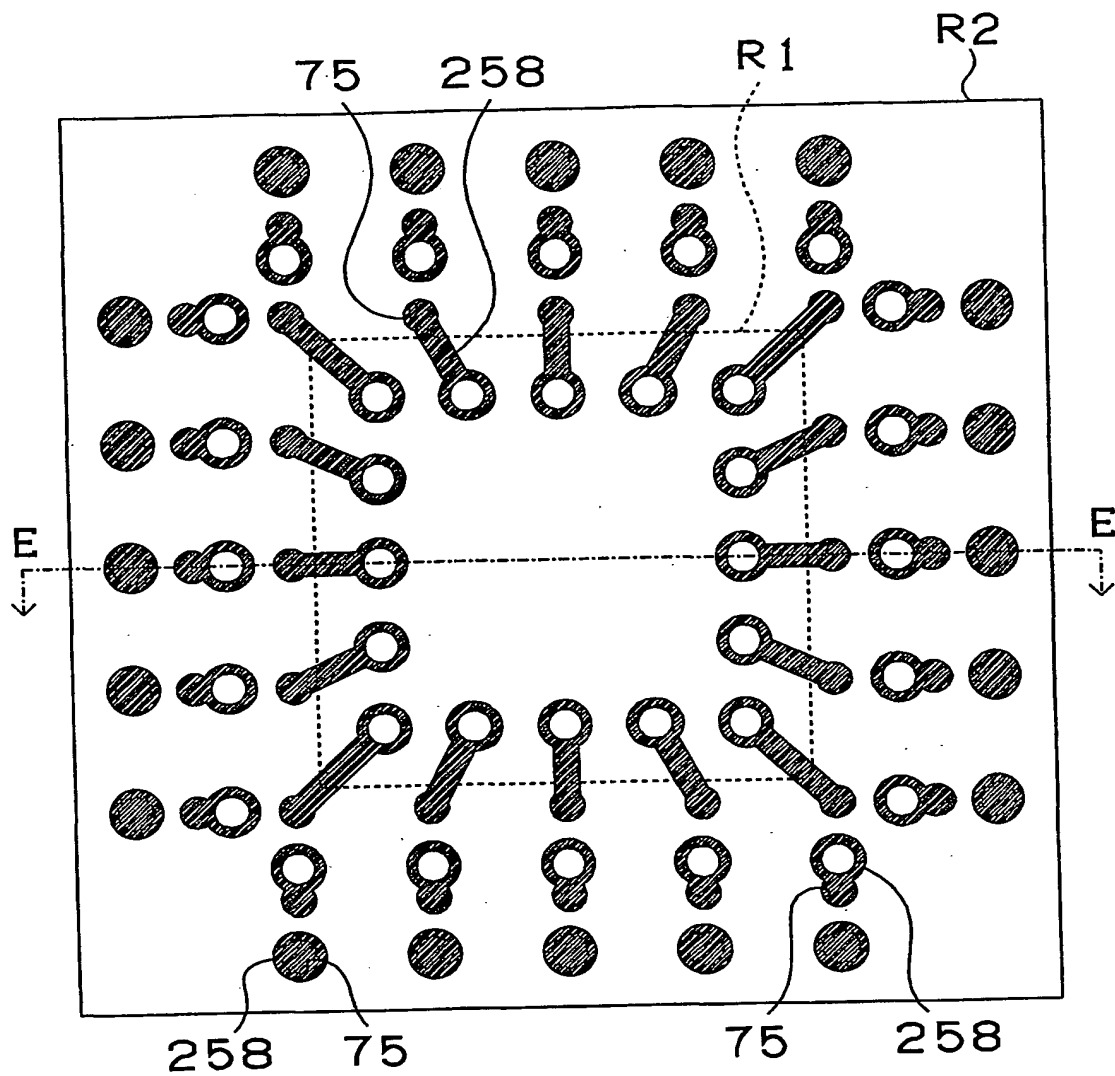
(B)



第64図

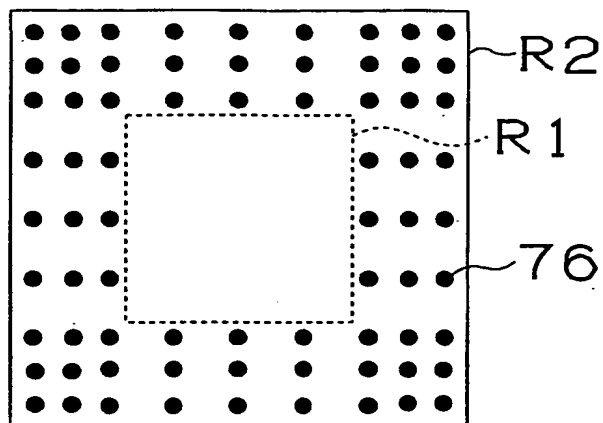


65/70
第65図

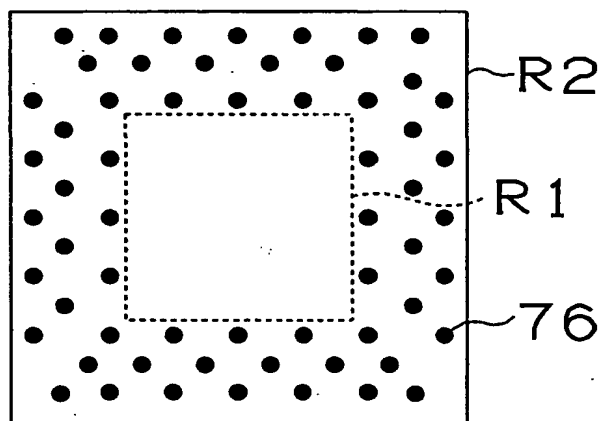


66/70
第66図

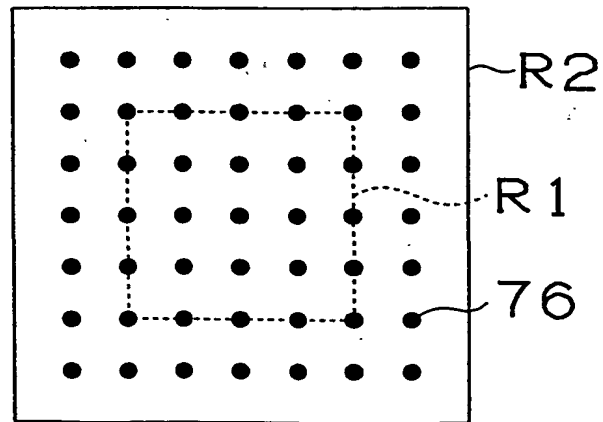
(A)



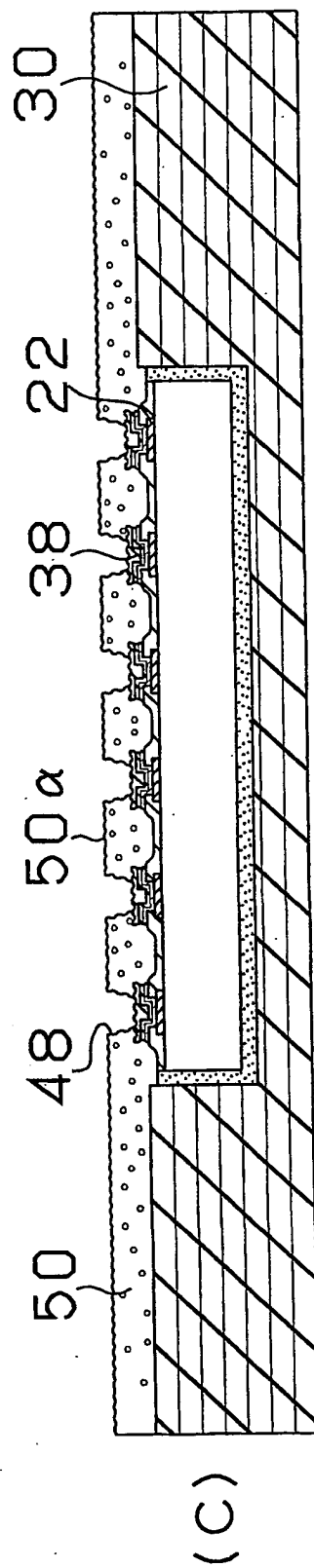
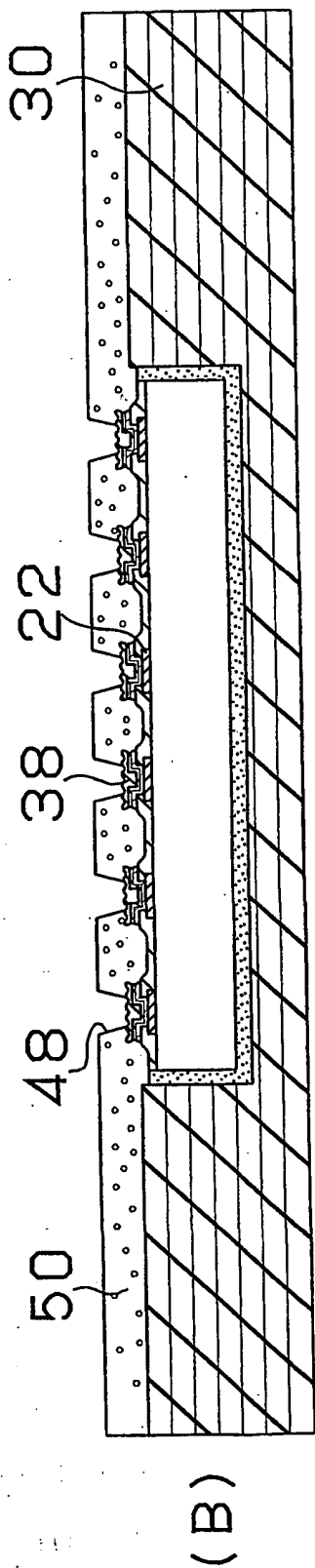
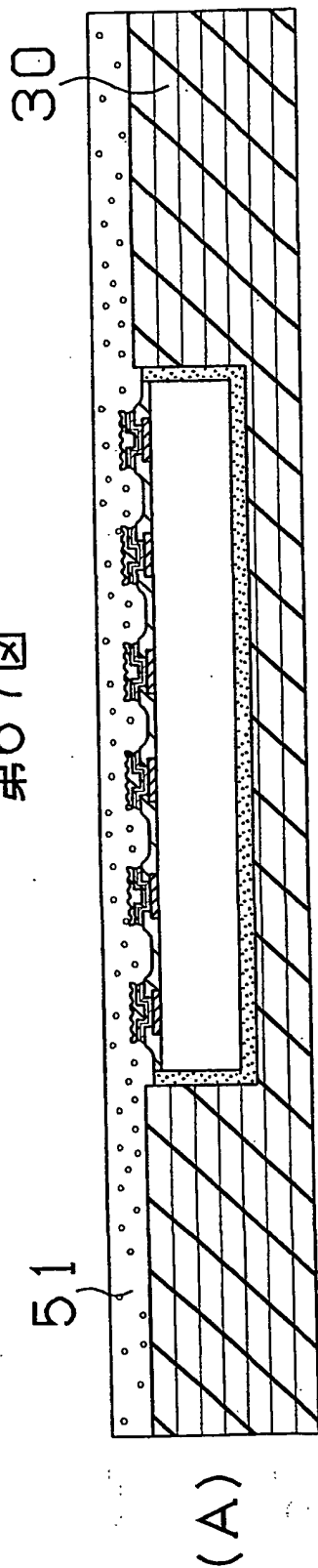
(B)



(C)

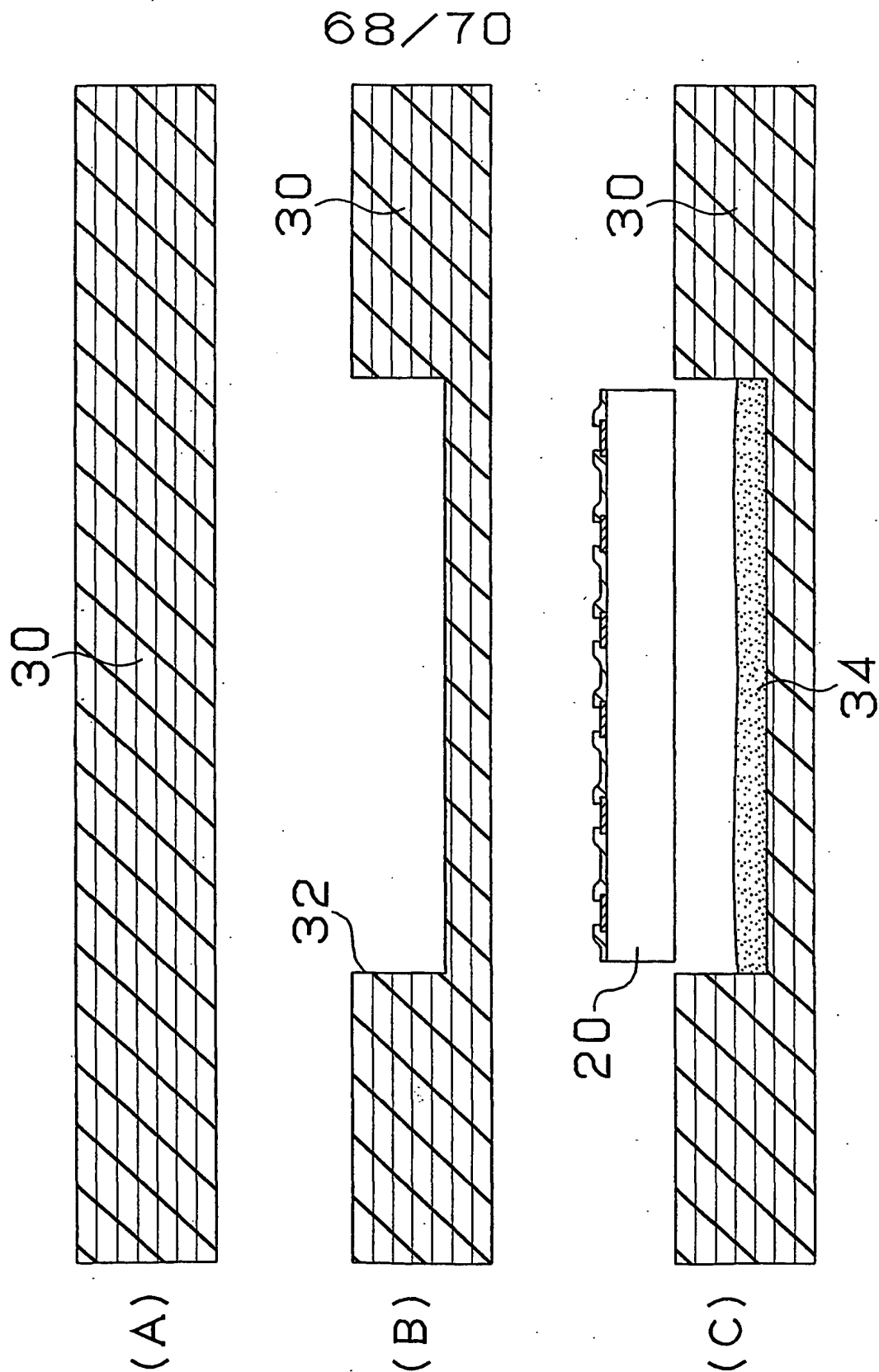


第67図

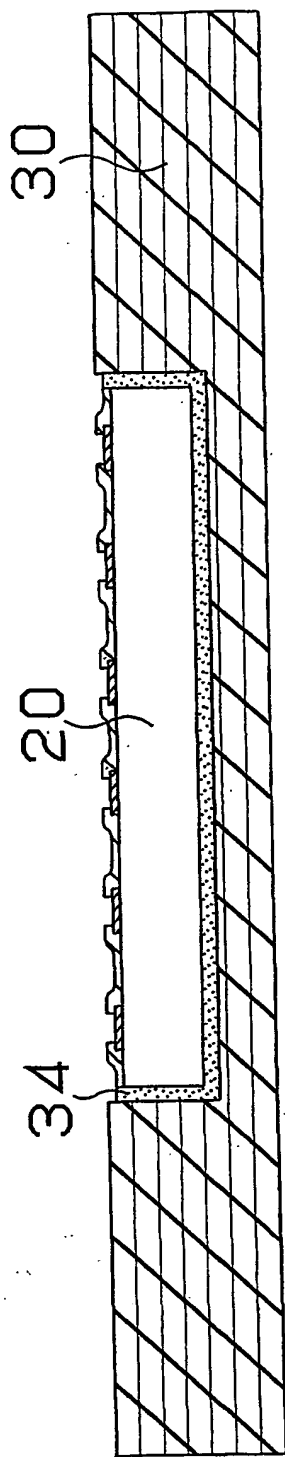


67/70

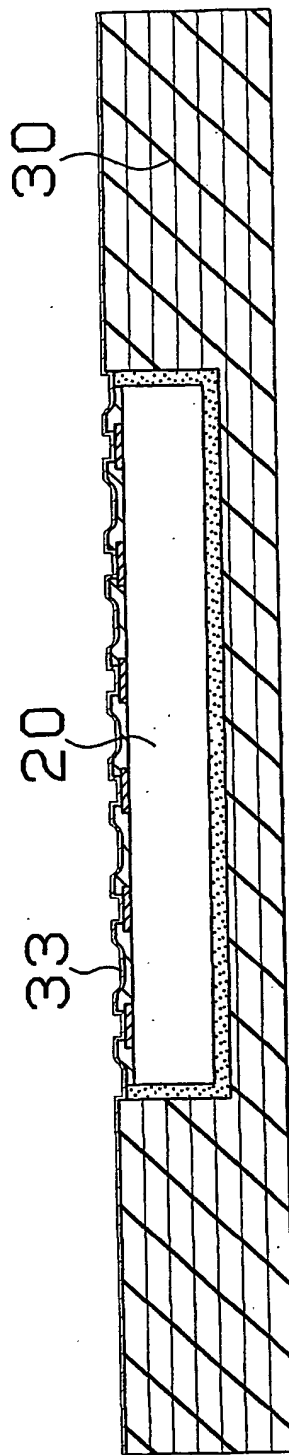
第68図



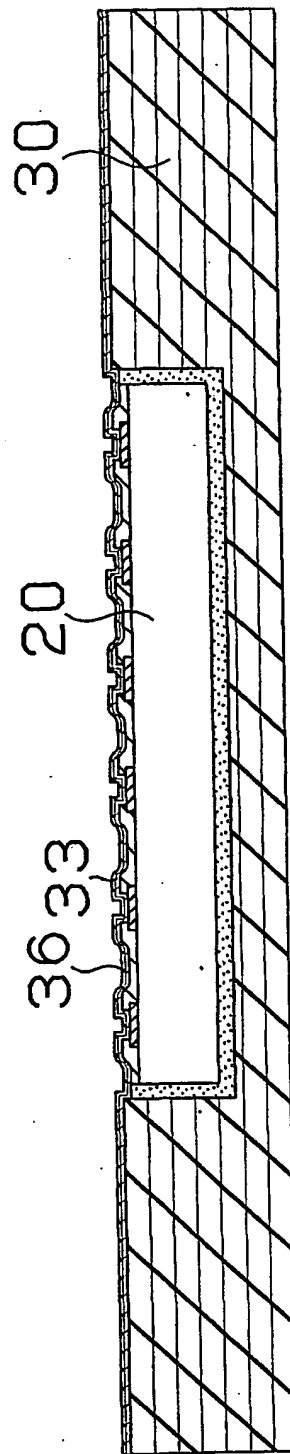
第69図



(A)



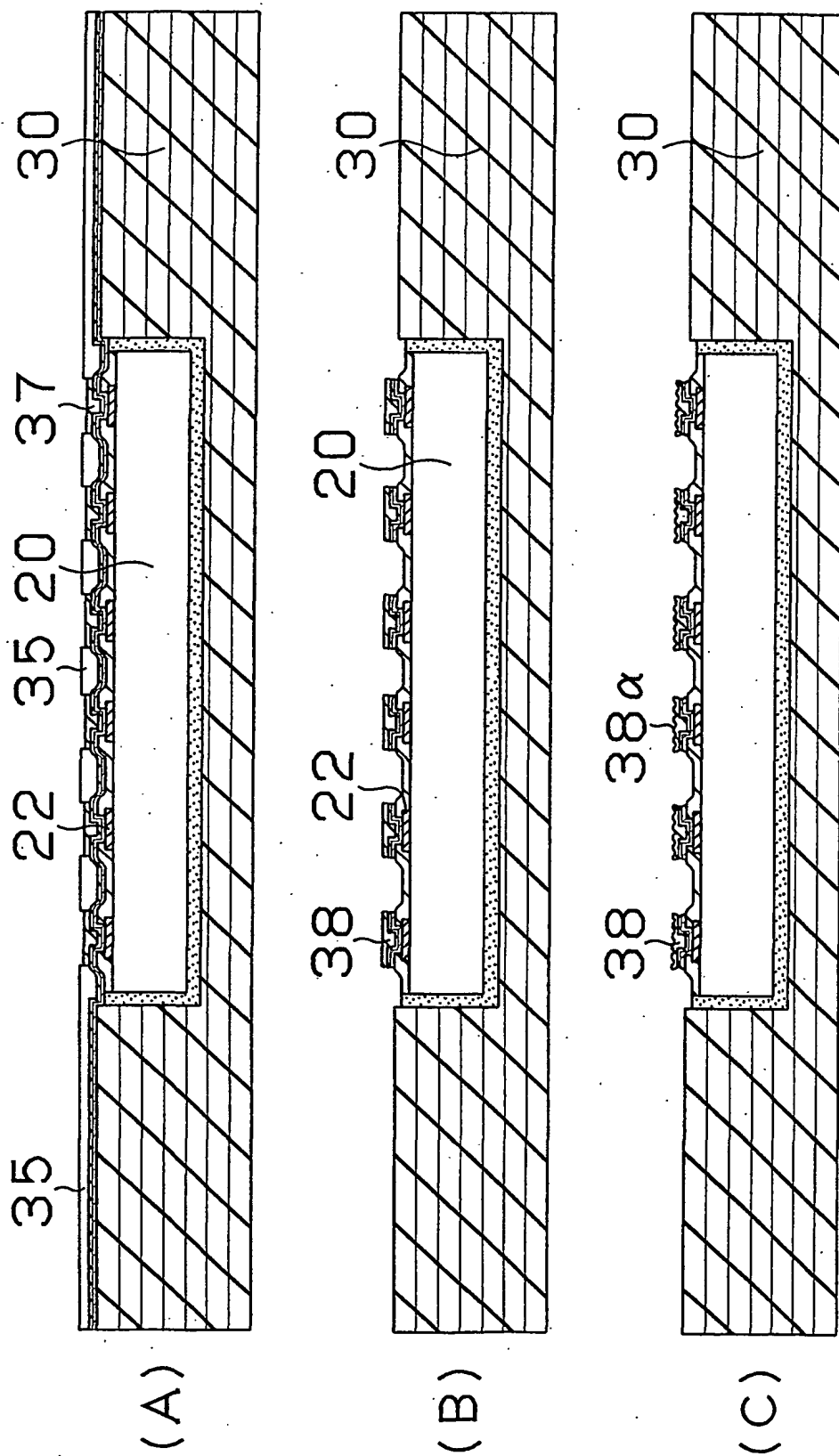
(B)



(C)

69/70

第70図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/03589

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L23/12 H01L21/60 H05K3/46

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L23/12 H01L21/60 H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2001
Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2000-260902 A (NGK SPARK PLUG CO., LTD.), 22 September, 2000 (22.09.00), Claims (Family: none)	1-3 4-43
X A	JP 10-284632 A (Fujitsu Limited), 23 October, 1998 (23.10.98), Claims (Family: none)	1-3 4-43
A	JP 04-65832 A (Fujitsu Limited), 02 March, 1992 (02.03.92), Claims (Family: none)	1-43
A	JP 03-101234 A (NEC Corporation), 26 April, 1991 (26.04.91), Claims (Family: none)	1-43

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"I" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
27 July, 2001 (27.07.01)

Date of mailing of the international search report
07 August, 2001 (07.08.01)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/03589

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

* Claims 1 to 5 and 24 to 43 relate to a multi-layer printed circuit board and the method of manufacturing the multi-layer printed circuit board.

* Claims 6 to 23 relate to a semiconductor element and the method of manufacturing the semiconductor element.

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.
☒ No protest accompanied the payment of additional search fees.

国際調査報告

国際出願番号 PCT/JPO1/03589

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. ⁷ H01L23/12 H01L21/60 H05K3/46

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. ⁷ H01L23/12 H01L21/60 H05K3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
日本国公開実用新案公報 1971-2001年
日本国登録実用新案公報 1994-2001年
日本国実用新案登録公報 1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 2000-260902 A (日本特殊陶業株式会社) 22. 9月. 2000 (22. 09. 00) 特許請求の範囲 (ファミリーなし)	1-3 4-43
X A	JP 10-284632 A (富士通株式会社) 23. 10月. 1998 (23. 10. 98) 特許請求の範囲 (ファミリーなし)	1-3 4-43

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日 27. 07. 01

国際調査報告の発送日 07.08.01

国際調査機関の名称及びあて先
日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
坂本 薫昭
電話番号 03-3581-1101 内線 6362

様式PCT/ISA/210 (第2ページ) (1998年7月)

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 04-65832 A (富士通株式会社) 2. 3月. 1992 (02. 03. 92) 特許請求の範囲 (ファミリーなし)	1-43
A	J P 03-101234 A (日本電気株式会社) 26. 4月. 1991 (26. 04. 91) 特許請求の範囲 (ファミリーなし)	1-43

第I欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査することを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第II欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

・請求の範囲1-5, 24-43は、多層プリント配線板及び多層プリント配線板の製造方法に関するものである。

・請求の範囲6-23は、半導体素子及び半導体素子の製造方法に関するものである。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

様式PCT/ISA/210 (第1ページの続葉(1)) (1998年7月)